

Attorney Docket No. 5649-1240

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Seung-Jae Baik
Serial No.: To Be Assigned
Filed: Concurrently Herewith
For: SCALABLE TWO TRANSISTOR MEMORY DEVICES AND METHODS OF
FABRICATION THEREFOR

Date: March 15, 2004

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

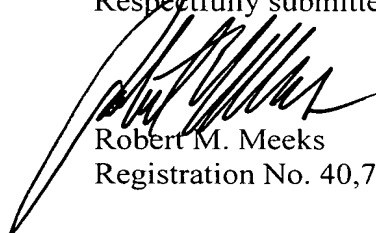
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2003-34500, filed May 29, 2003.

Respectfully submitted,

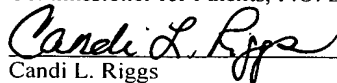


Robert M. Meeks
Registration No. 40,723

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: 919/854-1400
Facsimile: 919/854-1401

"Express Mail" mailing label number EV 381443472 US
Date of Deposit: March 15, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Candi L. Riggs



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0034500
Application Number

출원 년 월 일 : 2003년 05월 29일
Date of Application MAY 29, 2003

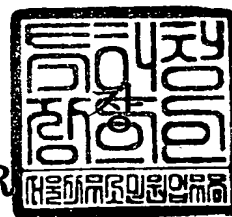
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 14 일

특 허 청

COMMISSIONER





1020030034500

출력 일자: 2003/11/18

【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.11.06
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【사건의 표시】	
【출원번호】	10-2003-0034500
【출원일자】	2003.05.29
【심사청구일자】	2003.05.29
【발명의 명칭】	축소가능한 2개의 트랜지스터 기억 소자 및 그 형성 방법
【제출원인】	
【접수번호】	1-1-2003-0193372-35
【접수일자】	2003.05.29
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

【수수료】

【보정료】 0 원

【추가심사청구료】 0 원

【기타 수수료】 0 원

【합계】 0 원

【첨부서류】

1. 보정내용을 증명하는 서류_1통

【보정대상항목】 식별번호 14

【보정방법】 정정

【보정내용】

상기 다층 패턴(15)의 측벽 및 상부면은 게이트 층간 절연막(19)에 의해 덮여지고, 상기 게이트 층간 절연막(19) 상에 상기 데이터 라인(13)을 가로지르는 제어 라인(21)이 배치된다. 상기 데이터 라인(13), 상기 다층 터널접합 장벽패턴(12), 상기 스토리지 노드(5) 및 상기 제어 라인(21)은 상기 수직 트랜지스터를 구성한다.

【보정대상항목】 식별번호 19

【보정방법】 정정

【보정내용】

구체적으로, 상기 제어 라인은 상기 다층 패턴 상에 위치한 상기 데이터 라인의 상부를 가로지를 수 있다. 이때, 상기 게이트 층간 유전막은 연장되어 상기 데이터 라인과 상기 제어 라인 사이에 개재된다. 이와는 다르게, 상기 제어 라인은 상기 다층 패턴의 측벽을 둘러싸는 형태일 수 있다. 상기 데이터 라인과 상기 다층 터널접합 장벽 패턴 사이에 소오스 패턴이 배치될 수 있다. 상기 소오스 패턴은 상기 다층 패턴의 측벽에 정렬된 측벽을 갖는 것이 바람직하다. 적어도 상기 다층 패턴의 측벽 상의 상기 게이트 층간 유전막과 상기 제어 라인 사이에 개재된 스페이서를 더 포함할 수 있다. 상기 스페이서는 도전막으로 이루어지는 것이 바람직하다. 상기 제어 라인은 제1 도전형의 불순물들로 도핑된 폴리실리콘막으로 이루어지고, 상기 스페이서는 제2 도전형의 불순물들로 도핑된 폴리실리콘막으로 이루어질 수 있다. 상기 소오스/드레인 영

역들을 턴온시키는 문턱전압은 상기 다층 패턴 하부의 평면 채널 영역을 턴온시키는 소거 문턱전압 및 프로그램 문턱전압에 비하여 낮은 전압인 것이 바람직하다. 또한, 상기 소오스/드레인 영역들을 턴온시키는 문턱전압은 상기 다층 패턴의 측벽인 수직 채널 영역을 턴온시키는 문턱전압에 비하여 낮은 것이 바람직하다. 상기 제어 라인 양측의 상기 제2 영역들 내에 각각 불순물확산층이 배치되는 것이 바람직하다.

【보정대상항목】 식별번호 28

【보정방법】 정정

【보정내용】

상기 제1 영역(117) 상에 적층된 다층 패턴(124) 및 소오스 패턴(112a)이 배치된다. 상기 다층 패턴(124)은 차례로 적층된 게이트 절연 패턴(103a), 스토리지 노드(105a) 및 다중 터널접합 장벽패턴(110a)으로 구성된다. 상기 소자 분리 패턴(116)은 수직으로 연장되어 인접한 상기 패턴들(124, 112a) 사이에 개재되어 상기 패턴들(124, 112a)을 격리시킨다. 상기 게이트 절연 패턴(103a)은 실리콘산화막으로 이루어질 수 있으며, 상기 스토리지 노드(105a)는 도핑된 폴리실리콘막일 수 있다. 상기 다중 터널접합 장벽패턴(110a)은 번갈아가면서 반복적으로 적층된 반도체 패턴(107a) 및 터널 절연 패턴(tunnel insulating layer; 108a)을 포함한다. 상기 다중 터널접합 장벽패턴(110a)의 최상부층(utmost top layer; 109a)은 상기 터널 절연 패턴(108a) 또는 상기 반도체 패턴(107a)일 수 있다. 상기 반도체 패턴(107a)은 예컨대, 도핑된 폴리실리콘막으로 이루어질 수 있다. 상기 터널 절연 패턴(108a)은 상기 반도체 패턴(107a)에 비하여 에너지 밴드 갭이 큰 절연막, 예컨대, 실리콘질화막으로 이루어질 수 있다.

【보정대상항목】 식별번호 39

【보정방법】 정정

【보정내용】

한편, 상기 스토리지 노드(105a), 상기 소오스 패턴(112a, 또는 데이터 라인(120a)) 및 상기 제어 라인(132a)은 제1 도전형의 불순물들로 도핑되고, 상기 반도체 패턴(109a) 및 상기 스페이서(128)는 제2 도전형의 불순물로 도핑될 수 있다. 이에 따라, 상기 스페이서(128)의 일함수는 상기 수직 채널 영역의 일부분인 상기 반도체 패턴들(109a)의 일함수가 동일하다. 그 결과, 상기 수직 채널 문턱전압이 더욱 증가될 수 있다.

【보정대상항목】 식별번호 52

【보정방법】 정정

【보정내용】

도 6을 참조하면, 상기 제2 하드마스크막(122), 데이터 도전막(120), 소오스 도전막(112), 다층 터널접합 장벽막(110), 스토리지 도전막(105) 및 게이트 절연막(103)을 연속적으로 패터닝하여 게이트 패턴(126)을 형성한다. 상기 게이트 패턴은 차례로 적층된 다층 패턴(124), 소오스 패턴(112a), 데이터 라인(120a) 및 하드마스크 패턴(122a)으로 포함한다. 상기 다층 패턴(124) 및 소오스 패턴(112a)은 인접한 상기 소자 분리 패턴들(116) 사이에 배치되고, 상기 데이터 라인(120a) 및 하드마스크 패턴(122a)은 상기 열방향 내의 상기 소오스 패턴들(112a) 상부면들과 접촉한다. 상기 데이터 라인(120a)은 상기 제2 영역들(118)과 평행하다. 상기 다층 패턴(124)은 차례로

적층된 게이트 절연 패턴(103a), 스토리지 노드(105a) 및 다중 터널접합 장벽패턴(110a)을 포함한다. 상기 다중 터널접합 장벽패턴(110a)은 번갈아가면서 반복적으로 적층된 반도체 패턴(107a) 및 터널 절연 패턴(108a)으로 구성된다. 상기 다중 터널접합 장벽패턴(110a)의 최상부층(109a)은 상기 반도체 패턴(107a) 또는 상기 터널 절연 패턴(108a)으로 형성될 수 있다. 상기 소오스 패턴(112)이 생략될 경우, 상기 데이터 라인(120a)은 상기 다중 터널접합 장벽 패턴(110a)의 상부면과 접촉한다.

【보정대상항목】 식별번호 54

【보정방법】 정정

【보정내용】

상기 게이트 패턴(126)의 측벽에 대향된 상기 게이트 층간 유전막(130) 상에 스페이서(128)를 형성한다. 상기 스페이서(128)는 도전막으로 형성한다. 예를 들면, 도핑된 폴리실리콘막으로 형성할 수 있다. 이때, 상기 스페이서(128)는 상기 반도체 패턴들(107a)과 동일한 타입의 불순물들로 도핑될 수 있다. 상기 스페이서(128)는 생략될 수도 있다.

【보정대상항목】 식별번호 70

【보정방법】 정정

【보정내용】

상기 스토리지 노드(207a) 내에 전자들이 존재할 경우, 상기 제어 라인(221b)에 인가되는 문턱전압은 프로그램 문턱전압이고, 상기 스토리지 노드(207a) 내에 전자들이 존재하지 않을 경우, 상기 제어 라인(221b)에 인가되는 문턱전압은 소거 문턱전압

이다. 상기 수직 트랜지스터의 문턱전압은 수직 채널 문턱전압이며, 상기 소오스/드레인 영역들(251a, 251b)을 반전상태로 변환시키는 제어 라인(221b)의 전압을 상기 소오스/드레인 문턱전압이라고 정의한다.

【보정대상항목】 식별번호 75

【보정방법】 정정

【보정내용】

도 8 및 도 10을 참조하면, 반도체기판(200)의 소정영역에 활성영역(202)을 한정하는 복수개의 소자 분리 패턴들(203)을 형성한다. 상기 소자 분리 패턴들(203)은 일방향, 즉, 열방향을 따라 서로 이격되어 배치된다. 상기 활성영역(202)은 인접한 상기 소자 분리 패턴들(203) 사이에 개재된 제1 영역(201a) 및 상기 제1 영역(201a)의 양측에 접속된 한 쌍의 평행한 제2 영역들(201b)로 구성된다. 상기 한 쌍의 제2 영역들(201b)은 상기 열방향을 따라 배치된 복수개의 제1 영역들(201a)의 양측들과 각각 접속한다.

【보정대상항목】 식별번호 80

【보정방법】 정정

【보정내용】

상기 제어 도전막(221)은 제1 도전형의 불순물들로 도핑된 폴리실리콘막으로 형성하고, 상기 반도체 패턴들(209a) 및 스페이서(219)는 제2 도전형의 불순물들로 도핑된 폴리실리콘막으로 형성할 수 있다. 이에 따라, 수직 트랜지스터의 문턱전압인 수직 채널 문턱전압을 증가시킬 수 있다.

【보정대상항목】 청구항 2

【보정방법】 정정

【보정내용】

제 1 항에 있어서,

상기 제어 라인은 상기 다층 패턴 상에 위치한 상기 데이터 라인의 상부를 가로지르되, 상기 게이트 층간 유전막은 연장되어 상기 데이터 라인과 상기 제어 라인 사이에 개재되는 것을 특징으로 하는 축소 가능한 2개의 트랜지스터 기억 소자.

【보정대상항목】 청구항 4

【보정방법】 정정

【보정내용】

제 2 항에 있어서,

상기 소자 분리 패턴은 수직으로 연장되어 상기 소자 분리 패턴과 인접한 상기 다층 패턴의 측벽과 접촉하는 것을 특징으로 하는 축소 가능한 2개의 트랜지스터 기억 소자.

【보정대상항목】 청구항 9

【보정방법】 정정

【보정내용】

제 8 항에 있어서,

상기 제어 라인은 제1 도전형의 불순물들로 도핑된 폴리실리콘막으로 이루어지고, 상기 스페이서는 제2 도전형의 불순물들로 도핑된 폴리실리콘막으로 이루어지는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자.

【보정대상항목】 청구항 16

【보정방법】 정정

【보정내용】

제 14 항에 있어서,

상기 다층 패턴 및 상기 데이터 라인을 형성하는 단계는,

상기 소자 분리 패턴을 갖는 반도체기판 전면 상에 데이터 도전막을 형성하는 단계; 및

상기 데이터 도전막, 다중 터널접합 장벽막, 스토리지 도전막 및 게이트 절연막을 연속적으로 패터닝하여 상기 제1 영역 상의 상기 다층 패턴과 상기 다층 패턴 상을 지나는 데이터 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자의 형성방법.

【보정대상항목】 청구항 19

【보정방법】 정정

【보정내용】

제 18 항에 있어서,

상기 제어라인은 제1 도전형의 불순물들로 도핑된 폴리실리콘막으로 형성하고,
상기 스페이서는 라인은 제2 도전형의 불순물들로 도핑된 폴리실리콘막으로 형성하는
것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자의 형성방법.

【보정대상항목】 청구항 25

【보정방법】 정정

【보정내용】

제 24 항에 있어서,

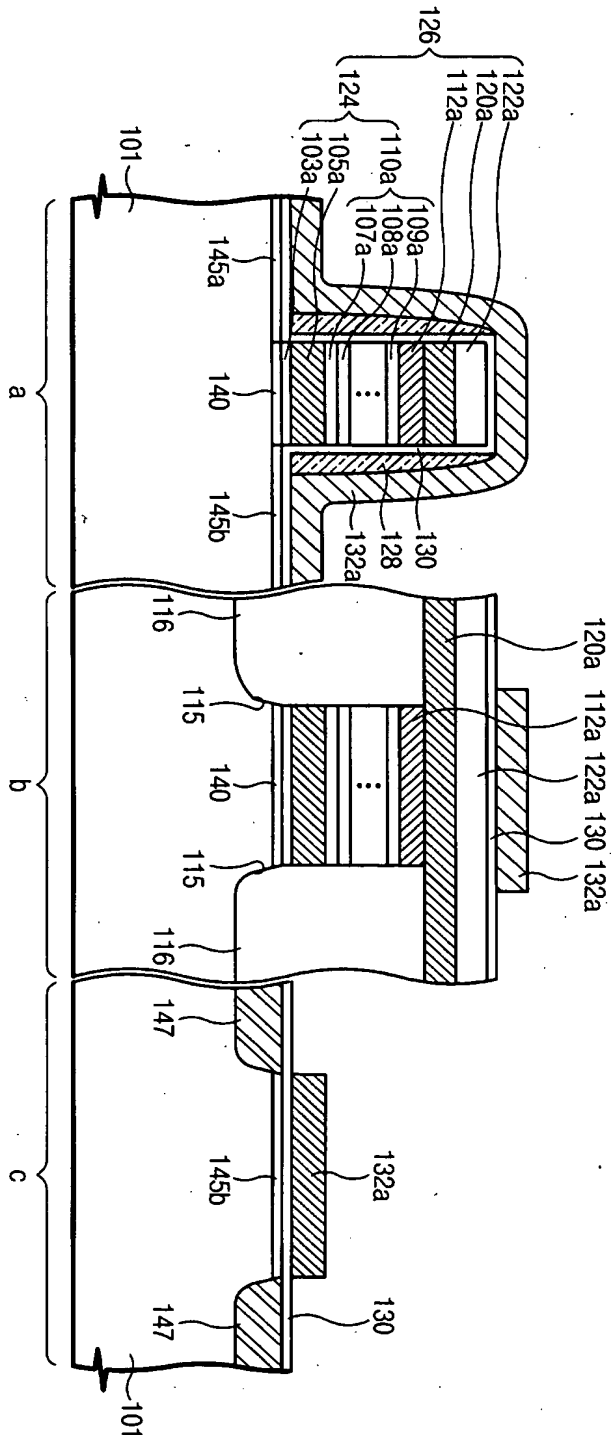
상기 제어 라인은 제1 도전형의 불순물들로 도핑된 폴리실리콘막으로 형성하고,
상기 스페이서는 제2 도전형의 불순물들로 도핑된 폴리실리콘막으로 형성하는 것을 특
징으로 하는 축소가능한 2개의 트랜지스터 기억 소자의 형성방법.

【보정대상항목】 도 3

【보정방법】 정정

【보정내용】

【도 3】



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.05.29
【발명의 명칭】	축소가능한 2개의 트랜지스터 기억 소자 및 그 형성방법
【발명의 영문명칭】	Scalable two transistor memory devices and methods of forming the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	백승재
【성명의 영문표기】	BAIK, SEUNG-JAE
【주민등록번호】	720330-1064115
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 신영통 현대 아파트 212동 1204호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	34 면 34,000 원



1020030034500

출력 일자: 2003/11/18

【우선권 주장료】	0	건	0	원
【심사청구료】	27	항	973,000	원
【합계】	1,036,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

축소가능한 2개의 트랜지스터 기억 소자 및 그 형성방법을 제공한다. 이 소자는 제1 영역과, 제1 영역의 양측과 접속하고 서로 평행한 한 쌍의 제2 영역들로 구성된 활성영역을 구비한다. 제1 영역 상에 다층 패턴이 배치된다. 적어도 다층 패턴의 일부측벽들을 덮고, 한 쌍의 제2 영역들을 가로지르는 제어 라인이 배치된다. 다층 패턴의 양측에 배치되되, 제어 라인 하부의 활성영역의 표면으로 이루어지는 소오스/드레인 영역들이 배치된다. 소오스/드레인 영역들은 제어 라인에 인가되는 소정의 전압에 의해 턴온될 수 있다. 이에 따라, 종래의 불순물 확산층으로 이루어진 소오스/드레인 영역들간의 편치스루 특성열화를 방지할 수 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

축소가능한 2개의 트랜지스터 기억 소자 및 그 형성방법{Scalable two transistor memory devices and methods of forming the same}

【도면의 간단한 설명】

도 1은 종래의 축소가능한 2개의 트랜지스터 기억 소자의 단위 셀을 보여주는 단면도이다.

도 2는 본 발명의 일 실시예에 따른 STTM 기억 소자를 나타내는 평면도이다.

도 3은 도 2의 STTM 기억 소자를 나타내는 단면도이다.

도 4 내지 도 7은 도 3의 STTM 기억 소자의 형성방법을 설명하기 위한 단면도들이다.

도 8은 본 발명의 다른 실시예에 따른 STTM 기억 소자를 나타내는 평면도이다.

도 9는 도 8의 STTM 기억 소자를 나타내는 단면도이다.

도 10 내지 도 15는 도 9의 STTM 기억 소자의 형성방법을 설명하기 위한 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 소자 및 그 형성방법에 관한 것으로서, 특히, 축소가능한 2개의 트랜지스터 기억 소자 및 그 형성방법에 관한 것이다.

<9> 디램(DRAM)은 에스램(SRAM)과 같은 기억소자에 비하여 높은 집적도를 보이는 장점을 갖는다. 그러나, 디램은 기억 셀에 저장된 데이터가 소멸되는 것을 방지하기 위한 주기적인 리프

레쉬가 요구된다. 따라서, 대기 모드(stand-by mode)에서 조차도 전력소모가 증가한다. 이와는 반대로, 플래쉬 메모리소자와 같은 비휘발성 메모리소자는 기억 셀들을 리프레쉬 시킬 필요가 없는 장점을 갖는다. 그러나, 비휘발성 기억 셀들을 프로그램시키거나 소거시키기 위해서는 높은 전압이 요구된다. 이에 따라, 디램 및 플래쉬 메모리를 결합시킨 새로운 기억소자가 미국특허 제5,952,692호에 "개선된 전하저장 배리어 구조체를 갖는 기억소자"라는 제목으로 나가자토(Nakazato) 등에 의해 개시된 바 있다. 이러한 새로운 기억 소자는 보다 발전되어 축소가능한 2개의 트랜지스터 기억 소자(Scalable Two Transistor Memory device)라는 명칭으로 불리우기도 한다. 이 기억 소자의 단위 셀은 비휘발성, 고속 동작, 낮은 전력 소모 및 고집적도의 특징을 가진다.

- <10> 도 1은 종래의 축소가능한 2개의 트랜지스터 기억 소자의 단위 셀을 보여주는 단면도이다.
- <11> 도 1을 참조하면, 이 기억 소자의 단위 셀은 평판 트랜지스터(planar transistor) 및 수직 트랜지스터(vertical transistor)를 포함한다. 상기 평판 트랜지스터는 반도체기판(1)의 소정영역에 형성되고 서로 이격된 드레인 영역(17d) 및 소오스 영역(17s)과, 상기 드레인 영역(17d) 및 소오스 영역(17s) 사이의 채널 영역 상에 배치된 스토리지 노드(5)를 포함한다. 상기 소오스/드레인 영역들(17s, 17d)은 상기 반도체기판(1)에 불순물 이온들을 주입하여 형성한 불순물확산층으로 이루어지며, 상기 드레인 영역(17d)은 비트라인에 해당한다. 상기 스토리지 노드(5)는 전기적으로 고립되어 있다. 상기 스토리지 노드(5) 및 상기 채널 영역 사이에는 게이트 절연막(3)이 개재된다.
- <12> 상기 스토리지 노드(5) 상에 다중 터널접합 장벽패턴(multiple tunnel junction barrier pattern; 12) 및 데이터 라인(13)이 차례로 적층된다. 상기 다중 터널접합층 패턴(12)

은 서로 번갈아가면서 반복적으로 적층된 반도체층(7) 및 터널 절연층(9)을 포함한다. 상기 다층 터널접합 장벽 패턴(12)의 최상부는 상기 터널절연층(9)일 수 있다.

<13> 상기 데이터 라인(13)은 연장되어 서로 이웃한 복수개의 기억 셀들과 전기적으로 접속된다. 상기 스토리지 노드(5), 다층 터널접합 장벽 패턴(12) 및 데이터 라인(13)은 다층 패턴(multiple layered pattern; 15)을 구성한다.

<14> 상기 다층 패턴(15)의 측벽 및 상부면은 게이트 층간 절연막(19)에 의해 덮여지고, 상기 게이트 층간 절연막(19) 상에 상기 데이터 라인(13)을 가로지르는 제어 라인(21)이 배치된다. 상기 데이터 라인(13), 상기 다층 터널접합 장벽패턴(12), 상기 스토리지 노드(5) 및 상기 워드라인(21)은 상기 수직 트랜지스터를 구성한다.

<15> 상술한 바와 같은 구조의 종래 기술에 따르면, 상기 소오스/드레인 영역들(17s, 17d)은 불순물확산층으로 형성된다. 이로 인하여, 상기 단위 셀의 크기가 점점 감소할수록 상기 소오스/드레인 영역들(17s, 17d)간에 펀치특성이 열화될 수 있다. 다시 말해서, 상기 단위 셀의 크기가 축소가능할지라도, 상기 소오스/드레인 영역들(17s, 17d)간의 펀치특성의 열화가 큰 문제점으로 대두될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명이 이루고자 하는 기술적 과제는 소오스/드레인 영역들간의 펀치스루 특성 열화를 방지할 수 있는 축소가능한 2개의 트랜지스터 기억 소자를 제공하는데 있다.

<17> 본 발명이 이루고자 하는 다른 기술적 과제는 소오스/드레인 영역들간의 펀치스루 특성 열화를 방지할 수 있는 축소가능한 2개의 트랜지스터 기억 소자의 형성방법을 제공하는데 있다.

【발명의 구성 및 작용】

<18> 상술한 기술적 과제를 해결하기 위한 축소가능한 2개의 트랜지스터 기억 소자(Scalable two transistor memory device; 이하 STTM 소자라고함)를 제공한다. 이 소자는 반도체기판의 소정영역에 각각 배치되며, 그들 사이의 제1 영역과, 상기 제1 영역의 양측과 접촉하고 서로 평행한 한 쌍의 제2 영역들로 구성된 활성영역을 한정하는 적어도 2개의 소자 분리 패턴들을 포함한다. 적어도 상기 제1 영역 상에 다층 패턴이 배치된다. 상기 다층 패턴은 적층된 게이트 절연 패턴, 스토리지 노드 및 다중 터널접합 장벽 패턴을 포함한다. 상기 다층 패턴 상부면을 지나되, 상기 제2 영역들과 평행한 데이터 라인이 배치되고, 적어도 상기 다층 패턴의 일부 측면들을 덮고, 상기 다층 패턴 양측의 상기 한 쌍의 제2 영역들을 가로지르는 제어 라인이 배치된다. 상기 제어 라인 하부의 상기 활성영역의 표면으로 이루어진 소오스 영역 및 드레인 영역이 상기 다층 패턴의 양측에 각각 배치된다. 상기 제어 라인과 상기 다층 패턴의 측면 사이와, 상기 제어 라인과 상기 활성영역 사이에 게이트 층간 유전막이 개재된다.

<19> 구체적으로, 상기 제어 라인은 상기 다층 패턴 상에 위치한 상기 데이터 라인의 상부를 가로지를 수 있다. 이때, 상기 게이트 층간 유전막은 연장되어 상기 데이터 라인과 상기 제어 라인 사이에 개재된다. 이와는 다르게, 상기 제어 라인은 상기 다층 패턴의 측면을 둘러싸는 형태일 수 있다. 상기 데이터 라인과 상기 다중 터널접합 장벽 패턴 사이에 소오스 패턴이 배치될 수 있다. 상기 소오스 패턴은 상기 다층 패턴의 측면에 정렬된 측면을 갖는 것이 바람직하다. 적어도 상기 다층 패턴의 측면 상의 상기 게이트 층간 유전막과 상기 제어 라인 사이에 개재된 스페이서를 더 포함할 수 있다. 상기 스페이서는 도전막으로 이루어지는 것이 바람직하다. 상기 스페이서는 제1 도전형의 불순물들로 도핑된 폴리실리콘막으로 이루어지고, 상기 제어 라인은 제2 도전형의 불순물들로 도핑된 폴리실리콘막으로 이루어질 수 있다. 상기 소오스/

드레인 영역들을 턴온시키는 문턱전압은 상기 다층 패턴 하부의 평면 채널 영역을 턴온시키는 소거 문턱전압 및 프로그램 문턱전압에 비하여 낮은 전압인 것이 바람직하다. 또한, 상기 소오스/드레인 영역들을 턴온시키는 문턱전압은 상기 다층 패턴의 측벽인 수직 채널 영역을 턴온시키는 문턱전압에 비하여 낮은 것이 바람직하다. 상기 제어 라인 양측의 상기 제2 영역들 내에 각각 불순물확산층이 배치되는 것이 바람직하다.

<20> 상술한 기술적 과제를 해결하기 위한 STTM 소자의 형성방법을 제공한다. 이 방법은 반도체기판에 제1 영역과 상기 제1 영역의 양측과 접촉하고 서로 평행한 한 쌍의 제2 영역들로 구성된 활성영역을 한정하는 적어도 2개의 소자 분리 패턴들과, 적어도 상기 제1 영역 상에 배치된 다층 패턴을 형성하는 단계를 포함한다. 상기 다층 패턴 상을 지나는 데이터 라인, 적어도 상기 다층 패턴의 일부측벽을 덮고 상기 다층 패턴 양측의 상기 제2 영역들을 가로지르는 제어 라인 및, 상기 다층 패턴 양측에 상기 제어 라인 하부의 상기 활성영역 표면으로 이루어진 소오스/드레인 영역들을 형성한다.

<21> 구체적으로, 상기 소자 분리 패턴과 다층 패턴을 형성하는 단계는 반도체기판 상에 게이트 절연막, 스토리지 도전막 및 다중 터널접합 장벽막을 차례로 형성하는 단계를 포함할 수 있다. 상기 다중 터널접합 장벽막, 스토리지 도전막, 게이트 절연막 및 반도체기판을 연속적으로 패터닝하여 상기 활성영역을 한정하는 적어도 2개의 트렌치를 형성하고, 상기 각 트렌치들을 채우는 소자 분리 패턴을 형성한다. 상기 다중 터널접합 장벽막, 스토리지 도전막 및 게이트 절연막을 연속적으로 패터닝하여 상기 제1 영역 상에 적층된 게이트 절연 패턴, 스토리지 노드 및 다중 터널접합 장벽 패턴으로 구성된 다층 패턴을 형성한다. 상기 제어 라인을 형성하기 전에, 상기 다층 패턴 및 데이터 라인을 갖는 반도체기판 전면 상에 게이트 층간 유전막을 형성하는 단계를 더 포함할 수 있다. 적어도 상기 다층 패턴의 측벽 상부에 대향된 상기 게이트 층

간 유전막 상에 스페이서를 형성하는 것을 더 포함할 수 있다. 이때, 상기 스페이서는 도전막으로 형성할 수 있다. 상기 스페이서는 제1 도전형의 불순물들로 도핑된 폴리실리콘막으로 형성하고, 상기 제어 라인은 제2 도전형의 불순물들로 도핑된 폴리실리콘막으로 형성할 수 있다.

<22> 이와는 다르게, 상기 소자 분리 패턴과 다층 패턴을 형성하는 단계는 반도체 기판의 소정영역에 상기 활성영역을 한정하는 적어도 2개의 소자 분리 패턴을 형성하는 단계를 포함할 수 있다. 반도체기판 상에 게이트 절연막, 스토리지 도전막 및 다중 터널접합 장벽막을 차례로 형성한다. 상기 다중 터널접합 장벽막, 스토리지 도전막 및 게이트 절연막을 연속적으로 패턴화하여 상기 제1 영역 상에 상기 다층 패턴을 형성한다.

<23> 상기 제어 라인을 형성한 후에, 상기 제어 라인을 마스크로 사용하여 불순물 이온들을 주입하여 상기 제어 라인 양측의 상기 제2 영역들 내에 각각 불순물확산층을 형성하는 것을 더 포함하는 것이 바람직하다.

<24> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

- <25> 도 2는 본 발명의 일 실시예에 따른 STTM 기억 소자를 나타내는 평면도이고, 도 3은 도 2의 STTM 기억 소자를 나타내는 단면도이다. 도 3에 있어서, 참조부호 "a"는 도 2의 I-I'을 따라 취해진 단면도이고, 참조부호 "b"는 도 2의 II-II'을 따라 취해진 단면도이며, 참조부호 "c"는 도 2의 III-III'을 따라 취해진 단면도이다.
- <26> 도 2 및 도 3을 참조하면, 본 발명의 일 실시예에 따른 STTM 기억 소자는 반도체기판 (101)의 소정영역에 배치되어 활성영역(119)을 한정하는 복수개의 소자 분리 패턴들(116)을 포함한다. 상기 소자 분리 패턴(116)은 평면적으로 섬형태이며, 그것의 일부분은 상기 반도체기판(101) 내에 형성된 트렌치(115)를 채운다. 상기 소자 분리 패턴들(116)은 일방향, 즉 열 방향을 따라 서로 이격되어 배치된다.
- <27> 상기 활성영역(119)은 복수개의 제1 영역들(117) 및 한 쌍의 제2 영역들(118)로 구성될 수 있다. 상기 한 쌍의 제2 영역들(118)은 상기 열방향과 평행한 라인 형태이며, 상기 소자 분리 패턴들(116)의 양측에 배치된다. 상기 각 제1 영역들(117)은 인접한 상기 소자 분리 패턴들(116) 사이와, 상기 한 쌍의 제2 영역들(118) 사이에 개재된다. 상기 열방향으로 정렬된 제1 영역들(117)의 양측은 각각 상기 한 쌍의 제2 영역들(118)과 접촉한다.
- <28> 상기 제1 영역(117) 상에 적층된 다층 패턴(124) 및 소오스 패턴(112a)이 배치된다. 상기 다층 패턴(124)은 차례로 적층된 게이트 절연 패턴(103a), 스토리지 노드(105a) 및 다중 터널접합 장벽패턴(110a)으로 구성된다. 상기 소자 분리 패턴(116)은 연장되어 인접한 상기 패턴들(124, 112a) 사이에 개재되어 상기 패턴들(124, 112a)을 격리시킨다. 상기 게이트 절연 패턴(103a)은 실리콘산화막으로 이루어질 수 있으며, 상기 스토리지 노드(105a)는 도핑된 폴리실리콘막일 수 있다. 상기 다중 터널접합 장벽패턴(110a)은 번갈아가면서 반복적으로 적층된 반도체 패턴(107a) 및 터널 절연 패턴(tunnel insulating layer; 108a)을 포함한다. 상기 다중 터

널접합 장벽패턴(110a)의 최상부층(utmost top layer; 109a)은 상기 터널 절연 패턴(108a) 또는 상기 반도체 패턴(107a)일 수 있다. 상기 반도체 패턴(107a)은 예컨대, 도핑된 폴리실리콘막으로 이루어 질수 있다. 상기 터널 절연 패턴(108a)은 상기 반도체 패턴(107a)에 비하여 에너지 밴드 갭이 큰 절연막, 예컨대, 실리콘질화막으로 이루어질 수 있다.

<29> 상기 반도체 패턴(107a)이 도핑된 폴리실리콘막으로 이루어질 경우, 상기 반도체 패턴(107a) 내의 불순물들은 상기 스토리지 노드(105a)내의 불순물들과 다른 타입일 수 있다. 다시 말해서, 상기 스토리지 노드(105a)가 n-type의 불순물들로 도핑되고, 상기 반도체 패턴(107a)이 p-type의 불순물로 도핑될 수 있다. 이와는 반대로, 상기 스토리지 노드(105a)가 p-type의 불순물들로 도핑되고, 상기 반도체 패턴(107a)이 n-type의 불순물로 도핑될 수 있다. 상기 소오스 패턴(112a)은 도전막으로 이루어진다. 예를 들면, 도핑된 폴리실리콘막으로 이루어질 수 있다. 이때, 상기 소오스 패턴(112a)은 상기 스토리지 노드(105a)와 같은 타입의 불순물들로 도핑될 수 있다. 상기 소오스 패턴(112a)은 생략될 수도 있다.

<30> 상기 소오스 패턴(112a)의 상부면을 지나는 데이터 라인(120a)이 배치된다. 상기 데이터 라인(120a)은 상기 열방향과 평행하다. 즉, 상기 데이터 라인(120a)은 상기 열방향을 따라 배치된 복수개의 상기 소오스 패턴들(112a) 상에 배치된다. 상기 소오스 패턴들(112a)이 생략될 경우, 상기 데이터 라인(120a)은 상기 다층 패턴들(124)의 상부면들과 접촉한다. 상기 데이터 라인(120a)은 도전막으로 이루어진다. 예를 들면, 도핑된 폴리실리콘막 또는 금속막으로 이루어질 수 있다. 상기 데이터 라인(120a) 상에 하드마스크 패턴(122a)이 배치될 수 있다. 상기 하드마스크 패턴(122a)은 실리콘질화막으로 이루어질 수 있다. 상기 다층 패턴(124), 소오스 패턴(112a), 데이터 라인(120a) 및 하드마스크 패턴(122a)은 게이트 패턴(126)을 구성한다.

- <31> 계속해서 도 2 및 도 3을 참조하면, 상기 게이트 패턴(126)의 상부를 가로지르는 제어 라인(132a)이 배치된다. 상기 제어 라인(132a)은 상기 다층 패턴(124a)의 측벽을 덮고, 상기 한 쌍의 제2 영역들(118)을 가로지른다. 상기 제어 라인(132a)과 상기 게이트 패턴(126a) 사이와, 상기 제어 라인(132a)과 상기 활성영역(119) 사이에 게이트 층간 유전막(130)이 개재된다. 상기 제어 라인(132a)은 도전막, 예를 들면, 도핑된 폴리실리콘막 또는 폴리사이드막으로 이루어 질 수 있다. 상기 게이트 층간 유전막(130)은 실리콘산화막으로 이루어질 수 있다.
- <32> 상기 게이트 패턴(126)의 측벽 상의 상기 게이트 층간 유전막(130)과 상기 제어 라인(132a) 사이에 스페이서(128)가 배치될 수 있다. 상기 스페이서(128)는 적어도 상기 다층 패턴(124)의 측벽에 대향된 상기 게이트 층간 유전막(130) 상에 배치될 수 있다. 상기 스페이서(128)는 도전막, 예컨대, 도핑된 폴리실리콘막으로 이루어질 수 있다.
- <33> 상기 스토리지 노드(105a), 상기 다중 터널접합 장벽패턴(110a), 상기 소오스 패턴(112a, 또는 데이터 라인), 스페이서(128) 및 상기 제어 라인(132a)은 수직 트랜지스터를 구성한다. 상기 다중 터널접합 장벽패턴(110a)의 측벽 상에 적층된 상기 스페이서(128) 및 상기 제어 라인(132a)은 상기 수직 트랜지스터의 게이트에 해당하고, 상기 다중 터널접합 장벽패턴(110a)의 측벽 표면은 수직 채널 영역에 해당한다. 상기 수직 채널 영역은 상기 수직 트랜지스터의 채널영역이다.
- <34> 상기 다층 패턴(124) 하부의 상기 활성영역(119)의 표면에 평면 채널 영역(140)이 배치된다. 상기 평면 채널 영역(140)은 평면 트랜지스터의 채널영역에 해당한다. 상기 평면 채널 영역(140)은 상기 제어 라인(132a)에 프로그램 또는 소거 문턱전압들을 인가하여 턴온상태인 반전 상태(inversion state)가 될 수 있다. 상기 프로그램 문턱전압은 상기 스토리지 노드(105a) 내에 전자들이 존재할때, 상기 평면 채널 영역(140)을 반전 상태로 전환하는 문턱전압

이다. 상기 소거 문턱전압은 상기 스토리지 노드(105a)에 전자들이 존재하지 않을때, 상기 평면 채널 영역(140)을 반전 상태로 전환하는 문턱전압이다. 상기 프로그램 문턱전압은 상기 소거 문턱전압에 비하여 높다.

<35> 상기 평면 채널 영역(140) 양측에 위치한 상기 제어 라인(132a) 하부의 상기 활성영역(119)의 표면에 각각 소오스 영역(145a) 및 드레인 영역(145b)이 배치된다. 상기 소오스/드레인 영역들(145a, 145b)은 상기 활성영역(119)의 표면인 상기 평면 채널 영역(140)과 유사한 형태이다. 다시 말해서, 상기 제어 라인(132a)에 소정의 전압이 인가될 경우, 상기 소오스/드레인 영역들(145a, 145b)은 턴온 상태인 반전 상태(inversion state)가 된다. 이와는 반대로, 상기 제어 라인(132a)에 전압이 인가되지 않을 경우, 상기 소오스/드레인 영역들(145a, 145b)은 턴오프 상태가 된다. 상기 소오스/드레인 영역들(145a, 145b)은 각각 그들 사이에 개재된 상기 평면 채널 영역(140)의 양측에 접속한다.

<36> 상기 소오스/드레인 영역들(145a, 145b)은 종래의 불순물확산층을 요구하지 않는다. 오히려, 상기 평면 채널영역(140) 처럼 상기 활성영역(119)의 표면에 배치된다. 이에 따라, 상기 소오스/드레인 영역들(145a, 145b)의 깊이는 종래에 비하여 매우 작다. 그 결과, 종래의 불순물확산층으로 이루어진 소오스/드레인 영역들 간의 편치스루 특성의 열화를 방지할 수 있다.

<37> 상기 소오스/드레인 영역들(145a, 145b)은 상기 평면 트랜지스터의 소오스/드레인 영역에 해당한다. 상기 평면 트랜지스터는 상기 스토리지 노드(105a), 상기 소오스/드레인 영역들(145a, 145b) 및 상기 평면 채널 영역(140)을 포함한다. 상기 스토리지 노드(105a)에 인가되는 전압들은 상기 제어 라인(132a)에 공급되는 전압들에 유기된 전압들이다.

<38> 상기 소오스/드레인 영역들(145a, 145b)을 반전상태로 변환시키기 위하여 상기 제어 라인(132a)에 공급되는 전압을 소오스/드레인 문턱전압이라 정의한다. 상기 소오스/드레인 문

터전압은 상기 프로그램 및 소거 문턱전압들에 비하여 낮은 것이 바람직하다. 또한, 상기 소오스/드레인 문턱전압은 상기 수직 채널 영역을 턴온시키는 수직 채널 문턱전압에 비하여 낮은 것이 바람직하다. 또한, 상기 수직 채널 문턱전압은 상기 프로그램 문턱전압에 비하여 높은 것이 바람직하다. 상기 수직 채널 문턱전압은 상기 다중 터널접합 장벽패턴(110a)으로 인하여, 상기 소오스/드레인 문턱전압에 비하여 높게 유지될 수 있다.

<39> 한편, 상기 스토리지 노드(105a), 상기 소오스 패턴(112a, 또는 데이타 라인(120a)) 및 상기 제어 라인(132a)은 제1 도전형의 불순물들로 도핑되고, 상기 반도체 패턴(109a) 및 상기 스페이서(128)는 제2 도전형의 불순물로 도핑될 수 있다. 이에 따라, 상기 스페이서(128)의 일함수는 상기 수직 채널 영역의 일부분인 상기 반도체 패턴들(109a)의 일함수와 차이가 난다. 그 결과, 상기 수직 채널 문턱전압이 더욱 증가될 수 있다.

<40> 상기 제어 라인(132a) 양측의 상기 제2 영역들(118) 내에 각각 불순물확산층(147)이 배치된다. 상기 불순물확산층들(147)은 그들 사이에 개재된 상기 소오스 영역(145a, 또는 드레인 영역(145b))과 접촉한다. 상기 불순물확산층들(147) 및 상기 소오스/드레인 영역들(145a, 145b)은 비트라인 및 비트바 라인(bit bar line)을 구성한다. 다시 말해서, 상기 한 쌍의 제2 영역들(118) 중 선택된 제2 영역(118) 내에 배치된 상기 소오스 영역들(145a, 또는 드레인 영역들(145b)) 및 상기 불순물확산층들(147)은 비트라인에 해당하고, 다른 하나의 제2 영역(118) 내에 배치된 상기 소오스 영역들(145a, 또는 드레인 영역들(145b)) 및 상기 불순물확산층들(147)은 비트바 라인에 해당한다.

<41> 상술한 구조의 STTM 기억 소자의 동작 방법을 설명한다.

<42> 먼저, 프로그램 동작은 상기 제어 라인(132a)에 수직 게이트 전압을 인가하고, 상기 데이타 라인(120a)에 프로그램 전압을 인가한다. 상기 수직 게이트 전압은 상기 수직 채널 문턱

전압과 동일하거나 높은 전압이다. 이에 따라, 상기 수직 채널 영역은 충분히 턴온되어 상기 데이터 라인(120a)의 전자들이 상기 스토리지 노드(105a)로 유입된다. 이어서, 상기 제어 라인(132a)의 수직 게이트 전압의 공급을 중단함으로써, 상기 스토리지 노드(105a) 내에 전자들이 저장된다.

- <43> 다음으로, 소거 동작은 상기 제어 라인(132a)에 수직 게이트 전압을 인가하고, 상기 데이터 라인(120a)에 소거 전압을 인가한다. 이에 따라, 상기 스토리지 노드(105a) 내의 전자들은 상기 수직 채널영역을 경유하여 상기 데이터 라인(120a)으로 방출된다.
- <44> 마지막으로, 읽기 동작은 상기 STTM 기억 소자의 단위 셀들 중 하나를 선택한다. 상기 선택된 셀의 상기 제어 라인(132a)에 센싱 전압을 인가하고, 상기 선택된 셀의 비트 라인에 소정의 전압(전원전압)을 인가하며, 상기 선택된 셀의 비트바 라인에 기준전압(접지전압)을 인가한다. 이때, 상기 선택된 제어 라인(132a) 이외의 다른 제어 라인들(132a)은 상기 소오스/드레인 문턱전압이 인가된다. 이에 따라, 상기 비트라인 및 비트바 라인 내의 소오스/드레인 영역들(145a,145b)은 턴온 상태인 반전상태가 된다. 즉, 상기 불순물확산층들(147) 및 상기 턴온된 소오스/드레인 영역들(145a,145b)로 인하여, 상기 비트라인 및 비트바 라인은 각각 상기 선택된 셀의 소오스/드레인 영역들(145a,145b)에 접속된다.
- <45> 상기 센싱 전압은 상기 소거 문턱전압에 비하여 높고, 상기 프로그램 문턱전압에 비하여 낮다. 이에 따라, 상기 선택된 셀이 프로그램된 상태일 경우, 상기 비트라인과 비트바 라인은 전기적으로 단절되며, 상기 선택된 셀이 소거된 상태일 경우, 상기 비트라인과 비트바 라인은 서로 전기적으로 도통된다. 이때, 다른 제어 라인들(132a)에는 상기 소오스/드레인 문턱전압을 인가되기 때문에, 선택되지 않은 셀들은 읽기, 프로그램 또는 소거 동작으로 부터 자유롭다.

이는, 상기 소오스/드레인 문턱전압이 상기 소거 문턱전압, 프로그램 문턱전압 및 센싱 전압에 비하여 낮기 때문이다.

<46> 도 4 내지 도 7은 도 3의 STTM 기억 소자의 형성방법을 설명하기 위한 단면도들이다.

<47> 도 4를 참조하면, 반도체기판(101) 전면 상에 게이트 절연막(103), 스토리지 도전막(105), 다중 터널접합 장벽막(110), 소오스 도전막(112) 및 제1 하드마스크막(114)을 차례로 형성한다. 상기 게이트 절연막(103)은 실리콘산화막으로 형성할 수 있다. 예를 들면, 상기 게이트 절연막(103)은 열산화막으로 형성할 수 있다. 상기 스토리지 도전막(105)은 도핑된 폴리실리콘막으로 형성할 수 있다. 상기 다중 터널접합 장벽막(110)은 반도체막(107) 및 터널절연막(109)을 번갈아가면서 반복적으로 형성할 수 있다. 상기 다중 터널접합 장벽막(110)의 최상부막(109)은 상기 반도체막(107) 또는 상기 터널절연막(108)으로 형성할 수 있다. 상기 반도체막(107)은 도핑된 폴리실리콘막으로 형성할 수 있으며, 상기 터널절연막(108)은 상기 반도체막(107)에 비하여 에너지 밴드 갭이 큰 절연막, 예컨대, 실리콘질화막으로 형성할 수 있다. 상기 소오스 도전막(112)은 도핑된 폴리실리콘막으로 형성할 수 있다. 상기 소오스 도전막(112)은 생략될 수도 있다. 상기 제1 하드마스크막(114)은 실리콘질화막으로 형성할 수 있다.

<48> 도 2 및 도 5를 참조하면, 상기 제1 하드마스크막(114), 소오스 도전막(112), 다중 터널접합 장벽막(110), 스토리지 도전막(105), 게이트 절연막(103) 및 반도체기판(101)을 연속적으로 패터닝하여 활성영역(119)을 한정하는 트렌치들(115)을 형성한다. 상기 트렌치들(115)은 일 방향, 즉, 열방향을 따라 서로 이격되어 배치된다. 상기 활성영역(119)은 제1 영역들(117) 및 한 쌍의 제2 영역들(118)로 구성된다. 상기 제1 영역(117)은 인접한 상기 트렌치들(115) 사이

에 배치되고, 상기 한 쌍의 제2 영역들(118)은 상기 열방향으로 배열된 상기 제1 영역들(117)의 양측과 접속되도록 배치된다. 상기 한 쌍의 제2 영역들(118)은 상기 열방향과 평행하다.

<49> 상기 트렌치(115) 내부를 채우는 소자 분리 패턴(116)을 형성한다. 상기 소자 분리 패턴(116)은 실리콘산화막으로 형성할 수 있다.

<50> 이어서, 상기 제1 하드마스크막(114)을 상기 소오스 도전막(112)이 노출될때까지 식각하여 제거한다. 이때, 상기 제1 하드마스크막(114)은 화학적기계적 연마공정으로 제거할 수 있다. 이에 따라, 상기 소자 분리 패턴(116)의 상부도 일부 제거되어 상기 노출된 소오스 도전막(112) 및 상기 소자 분리 패턴(116)의 상부면들은 동일한 높이일 수 있다.

<51> 상기 노출된 소오스 도전막(112)을 갖는 반도체기판(101) 전면 상에 데이터 도전막(120) 및 제2 하드마스크막(122)을 차례로 형성한다. 상기 데이터 도전막(120)은 도핑된 폴리실리콘막, 금속막 또는 폴리사이드막으로 형성할 수 있다. 상기 제2 하드마스크막(122)은 실리콘질화막으로 형성할 수 있다.

<52> 도 6을 참조하면, 상기 제2 하드마스크막(122), 데이터 도전막(120), 소오스 도전막(112), 다중 터널접합 장벽막(110), 스토리지 도전막(105) 및 게이트 절연막(103)을 연속적으로 패터닝하여 게이트 패턴(126)을 형성한다. 상기 게이트 패턴은 차례로 적층된 다층 패턴(124), 소오스 패턴(112), 데이터 라인(120a) 및 하드마스크 패턴(122a)으로 포함한다. 상기 다층 패턴(124) 및 소오스 패턴(126)은 인접한 상기 소자 분리 패턴들(116) 사이에 배치되고, 상기 데이터 라인(120a) 및 하드마스크 패턴(122a)은 상기 열방향 내의 상기 소오스 패턴들(112a) 상부면들과 접촉한다. 상기 데이터 라인(120a)은 상기 제2 영역들(118)과 평행하다. 상기 다층 패턴(124)은 차례로 적층된 게이트 절연 패턴(103a), 스토리지 노드(105a) 및 다중 터널접합 장벽패턴(110a)을 포함한다. 상기 다중 터널접합 장벽패턴(110a)은 번갈아가면서 반복

적으로 적층된 반도체 패턴(107a) 및 터널 절연 패턴(108a)으로 구성된다. 상기 다중 터널접합 장벽패턴(110a)의 최상부층(109a)은 상기 반도체 패턴(107a) 또는 상기 터널 절연 패턴(108a)으로 형성될 수 있다. 상기 소오스 패턴(112)이 생략될 경우, 상기 데이트 라인(120a)은 상기 다중 터널접합 장벽 패턴(110a)의 상부면과 접촉한다.

<53> 상기 게이트 패턴(126)을 갖는 반도체기판(101) 전면 상에 게이트 층간 유전막(130)을 형성한다. 상기 게이트 층간 유전막(130)은 실리콘산화막으로 형성할 수 있다. 예를 들면, CVD 실리콘산화막 또는 열산화막으로 형성할 수 있다.

<54> 상기 게이트 패턴(126)의 측벽에 대향된 상기 게이트 층간 유전막(130) 상에 스페이서(128)를 형성한다. 상기 스페이서(128)는 도전막으로 형성한다. 예를 들면, 도핑된 폴리실리콘막으로 형성할 수 있다. 이때, 상기 스페이서(128)는 상기 반도체 패턴들(107a)과 다른 타입의 불순물들로 도핑될 수 있다. 예를 들면, 상기 반도체 패턴들(107a)이 n-type의 불순물들로 도핑되고, 상기 스페이서(128)는 p-type의 불순물들로 도핑될 수 있다. 이와는 반대로, 상기 반도체 패턴들(107a)이 p-type의 불순물들로 도핑되고, 상기 스페이서(128)는 n-type의 불순물들로 도핑될 수 있다. 상기 스페이서(128)는 생략될 수도 있다.

<55> 상기 스페이서(128)를 갖는 반도체기판(101) 전면 상에 제어 도전막(132)을 형성한다. 상기 제어 도전막(132)은 도핑된 폴리실리콘막, 금속막 또는 폴리사이드막으로 형성할 수 있다. 상기 제어 도전막(132)이 도핑된 폴리실리콘막으로 형성될 경우, 상기 제어 도전막(132)은 상기 스페이서(128)와 다른 타입의 불순물들로 도핑될 수 있다.

<56> 도 2 및 도 7을 참조하면, 상기 제어 도전막(132)을 패터닝하여 상기 게이트 패턴(126)을 가로지르는 제어 라인(132a)과, 상기 제어 라인(132a) 하부의 상기 활성영역(119)의 표면으로 이루어진 소오스/드레인 영역들(145a, 145b)을 형성한다. 상기 제어 라인(132a)은 상기 제1

영역(117) 상에 배치된 상기 다층 패턴(110a)의 측벽 및 상기 하드마스크 패턴(122a)을 덮는다. 상기 하드마스크 패턴(122a) 및 상기 게이트 층간 유전막(130)은 상기 데이터 라인(120a)과 상기 제어 라인(132a)을 절연시킨다. 상기 소오스/드레인 영역들(145a, 145b)은 상기 다층 패턴(124) 하부의 상기 활성영역(119)의 표면인 평면 채널 영역(140)의 양측과 접촉한다. 상기 소오스/드레인 영역들(145a, 145b)은 상기 활성영역(119)의 표면에 위치하며, 종래의 불순물확산층이 요구되지 않는다. 이에 따라, 종래의 소오스/드레인 영역들간의 펀치스루 특성열화를 방지할 수 있다.

<57> 이어서, 상기 제어 라인(132a)을 마스크로 사용하여 불순물 이온들을 주입하여 도 2 및 도 3에 도시된 불순물확산층들(147)을 형성한다.

<58> (제2 실시예)

<59> 본 발명의 다른 실시예에 따른 STTM 기억 소자는 다른 형태의 제어 라인 및 데이터 라인을 보여준다.

<60> 도 8은 본 발명의 다른 실시예에 따른 STTM 기억 소자를 나타내는 평면도이고, 도 9는 도 8의 STTM 기억 소자를 나타내는 단면도이다. 도 9에 있어서, 참조부호 "c"는 도 8의 IV-IV'을 따라 취해진 단면도이며, 참조부호 "d"는 도 8의 V-V'을 따라 취해진 단면도이고, 참조부호 "e"는 도 8의 VI-VI'을 따라 취해진 단면도이다.

<61> 도 8 및 도 9를 참조하면, 본 발명의 다른 실시예에 따른 STTM 기억 소자는 반도체기판(200)의 소정영역에 배치되어 활성영역(202)을 한정하는 복수개의 소자 분리 패턴들(203)을 포함한다. 상기 소자 분리 패턴(203)은 평면적으로 섬형태이다. 상기 소자 분리 패턴(203)들은 일방향, 즉, 열방향을 따라 서로 이격되어 배치된다. 상기 활성영역(202)은 인접한 상기 소자

분리 패턴들(203) 사이에 개재된 제1 영역(201a)과 한 쌍의 제2 영역들(201b)로 구성된다. 상기 한 쌍의 제2 영역들(201b)은 서로 평행하며, 상기 제1 영역(201a)의 양측과 각각 접속한다.

<62> 상기 제1 영역(201a) 상에 적층된 다층 패턴(214) 및 소오스 패턴(213a)이 배치된다. 상기 소자 분리 패턴(203)과 인접한 상기 다층 패턴(214)의 일측은 상기 소자 분리 패턴들(203)의 상에 중첩되도록 배치될 수 있다. 상기 다층 패턴(214)은 이웃하는 다른 다층 패턴(214)과 서로 이격되어 있다. 상기 다층 패턴(214)은 차례로 적층된 게이트 절연 패턴(205a), 스토리지 노드(207a) 및 다중 터널접합 장벽패턴(212a)으로 구성된다. 상기 게이트 절연 패턴(205a)은 실리콘산화막으로 이루어질 수 있다. 상기 스토리지 노드(207a)는 도핑된 폴리실리콘막으로 이루어질 수 있다. 상기 다중 터널접합 장벽 패턴(212a)은 번갈아가면서 반복적으로 적층된 반도체 패턴(209a) 및 터널 절연 패턴(210a)을 포함한다. 상기 다중 터널접합 장벽패턴(212a)의 최상부층(211a)은 상기 반도체 패턴(209a) 또는 상기 터널 절연 패턴(210a)일 수 있다. 상기 반도체 패턴(209a)은 도핑된 폴리실리콘막으로 이루어질 수 있으며, 상기 터널 절연 패턴(210a)은 상기 반도체 패턴(209a)에 비하여 넓은 밴드폭을 갖는 절연막, 예컨대, 실리콘질화막으로 이루어질 수 있다. 상기 소오스 패턴(213a)은 도핑된 폴리실리콘막으로 이루어질 수 있다. 상기 소오스 패턴(213a)은 생략될 수도 있다.

<63> 상기 다층 패턴(214)의 측벽을 둘러싸고, 상기 한 쌍의 제2 영역들(201b)을 가로지르는 제어 라인(221b)이 배치된다. 상기 제어 라인(221b)과 상기 다층 패턴(214) 사이와, 상기 제어 라인(221b)과 상기 활성영역(202) 사이에 게이트 층간 유전막(217)이 개재된다. 상기 제어 라인(221b)은 도전막, 예컨대, 도핑된 폴리실리콘막 또는 폴리사이드막으로 이루어질 수 있으며, 상기 게이트 층간 유전막(217)은 실리콘산화막으로 이루어질 수 있다. 적어도 상기 다

층 패턴(214)의 측벽 상에 위치한 상기 게이트 층간 유전막(217)과 상기 제어 라인(221b) 사이에 스페이서(219)가 개재될 수 있다. 상기 스페이서(219)는 도전막으로 이루어지는 것이 바람직하다. 예컨대, 도핑된 폴리실리콘막으로 이루어질 수 있다.

<64> 상기한 구조를 갖는 반도체기판(200)을 덮되, 상기 소오스 패턴(213a)의 상부면을 노출시키는 몰드층(228)이 배치된다. 상기 몰드층(228)은 적층된 제1 및 제2 층간절연막들(225a, 227a)로 구성될 수 있다. 상기 몰드층(228)의 상부면은 상기 소오스 패턴(213a)의 상부면 보다 높을 수 있다. 이에 따라, 측벽이 상기 몰드층(228)이고, 바닥면이 상기 소오스 패턴(213a)의 상부면인 홈이 배치될 수 있다.

<65> 상기 소오스 패턴(213a)의 상부면을 지나는 데이터 라인(230a)이 배치된다. 상기 데이터 라인(230a)은 상기 홈을 채운다. 상기 데이터 라인(230a)은 상기 열방향을 따라 배열된 복수개의 상기 소오스 패턴들(213a)의 상부면과 접촉한다. 상기 데이터 라인(230a)은 도전막으로 이루어진다. 예를 들면, 도핑된 폴리실리콘막, 금속막 또는 폴리사이드막으로 이루어질 수 있다. 상기 소오스 패턴(213a)이 생략될 경우, 상기 데이터 라인(230a)은 상기 다중 터널접합 장벽 패턴(212a)의 상부면과 접촉한다.

<66> 상기 다층 패턴(214) 하부에 위치한 상기 활성영역(202)의 표면은 평면 채널 영역(250)에 해당한다. 상기 다층 패턴(214) 양측에 위치한 상기 제어 라인(221b) 하부의 상기 활성영역(202)의 표면에 각각 소오스/드레인 영역들(251a, 251b)이 배치된다. 상기 소오스/드레인 영역들(251a, 251b)은 상기 평면 채널 영역(250)의 양측에 각각 접속한다. 상기 소오스/드레인 영역들(251a, 251b)은 상기 제어 라인(221b)에 소오스/드레인 문턱전압이 인가될 경우, 턴온 상태인 반전상태가 되

고, 상기 제어 라인(221b)에 전압이 인가되지 않을 경우, 턴오프 상태가 된다. 결과적으로, 상기 소오스/드레인 영역들(251a, 251b)로 인하여, 종래의 소오스/드레인 영역들 간의 편치스루 특성열화를 방지할 수 있다.

- <67> 상기 제어 라인(221b)의 양측의 상기 제2 영역들(201b)에 각각 불순물확산층(223)이 배치된다.
- <68> 수직 트랜지스터는 상기 스토리지 노드(207a), 다중 터널접합 장벽패턴(212a), 소오스 패턴(213a, 또는 데이터 라인(230a)), 스페이서(219) 및 제어 라인(221b)을 포함한다. 평면 트랜지스터는 상기 소오스/드레인 영역들(251a, 251b), 스토리지 노드(207a) 및 평면 채널 영역(250)을 포함한다. 상기 스토리지 노드(207a)는 상기 제어 라인(221b)에 공급되는 전압들에 유기된 전압이 인가된다.
- <69> 상기 한 쌍의 제2 영역들(201b) 중 선택된 제2 영역(201b) 내의 상기 불순물확산층들(223) 및 소오스 영역들(251a, 또는 드레인 영역들(251b))은 비트 라인을 구성한다. 상기 한 쌍의 제2 영역들(201b) 중 다른 하나의 제2 영역(201b) 내에 배치된 불순물확산층들(223) 및 소오스 영역들(251a, 또는 드레인 영역들(251b))은 비트바 라인을 구성한다.
- <70> 상기 스토리지 노드(207a) 내에 전자들이 존재할 경우, 상기 제어 라인(221b)에 인가되는 문턱전압은 프로그램 문턱전압이고, 상기 스토리지 노드(207a) 내에 전자들이 존재하지 않을 경우, 상기 제어 라인(221b)에 인가되는 문턱전압은 소거 문턱전압이다. 상기 수직 트랜지스터의 문턱전압은 수직 채널 문턱전압이며, 상기 소오스/드레인 영역들(251a, 252b)을 반전상태로 변환시키는 제어 라인(221b)의 전압을 상기 소오스/드레인 문턱전압이라고 정의한다.

- <71> 상기 소오스/드레인 문턱전압은 상기 소거 및 프로그램 문턱전압들에 비하여 낮은 것이 바람직하다. 또한, 상기 소오스/드레인 문턱전압은 상기 수직 채널 문턱전압에 비하여 낮은 것이 바람직하다.
- <72> 한편, 상기 스토리지 노드(207a), 상기 소오스 패턴(213a, 또는 데이터 라인(230a)) 및 상기 제어 라인(221b)은 제1 도전형의 불순물들로 도핑되고, 상기 반도체 패턴(209a) 및 상기 스페이서(219)는 제2 도전형의 불순물로 도핑될 수 있다. 이에 따라, 상기 수직 채널 문턱전압이 더 증가할 수 있다.
- <73> 상술한 구조의 STTM 기억 소자는 상기 데이터 라인(230a)이 상기 제어 라인(221b)의 상부에 배치된다. 상기 STTM 기억 소자는 상술한 일 실시예와 동일한 방법으로 동작할 수 있다.
- <74> 도 10 내지 도 15는 도 9의 STTM 기억 소자의 형성방법을 설명하기 위한 단면도들이다.
- <75> 도 8 및 도 10을 참조하면, 반도체기판(200)의 소정영역에 활성영역(202)을 한정하는 복수개의 소자 분리 패턴들(203)을 형성한다. 상기 소자 분리 패턴들(203)은 일방향, 즉, 열방향을 따라 서로 이격되어 배치된다. 상기 활성영역(202)은 인접한 상기 소자 분리 패턴들(203) 사이에 개재된 제1 영역(201a) 및 상기 제1 영역(201a)의 양측에 접속된 한 쌍의 평행한 제2 영역들(201b)로 구성된다. 상기 한 쌍의 제2 영역들(201b)은 상기 열방향을 따라 배치된 복수개의 제1 영역들(201b)의 양측들과 각각 접속한다.
- <76> 상기 소자 분리 패턴들(203)을 갖는 반도체기판(200) 전면 상에 게이트 절연막(205), 스토리지 도전막(207), 다중 터널접합 장벽막(212), 소오스 도전막(213) 및 하드마스크막(215)을 차례로 형성한다. 상기 게이트 절연막(205)은 실리콘산화막으로 형성할 수 있으며, 상기 스토리지 도전막(207)은 도핑된 폴리실리콘막으로 형성할 수 있다. 상기 다중 터널접합 장벽막

(212)은 번갈아가면서 반복적으로 적층된 반도체막들(209) 및 터널절연막들(210)을 포함한다. 상기 다중 터널접합 장벽막(212)의 최상부막(211)은 상기 반도체막(209) 또는 터널절연막(210)으로 형성할 수 있다. 상기 반도체막(209)은 도핑된 폴리실리콘막으로 형성할 수 있으며, 상기 터널절연막(210)은 상기 반도체막(209)에 비하여 에너지 밴드갭이 큰 절연막, 예컨대, 실리콘 질화막으로 형성할 수 있다. 상기 소오스 도전막(213)은 도핑된 폴리실리콘막으로 형성할 수 있으며, 상기 하드마스크막(215)은 실리콘질화막으로 형성할 수 있다.

<77> 도 8 및 도 11을 참조하면, 상기 하드마스크막(215), 소오스 도전막(213), 다중 터널접합 장벽막(212), 스토리지 도전막(207) 및 게이트 절연막(205)을 연속적으로 패터닝하여 상기 제1 영역(201a) 상에 차례로 적층된 다층 패턴(214), 소오스 패턴(213a) 및 하드마스크 패턴(215a)을 형성한다. 상기 다층 패턴(214)은 차례로 적층된 게이트 절연 패턴(205a) 스토리지 노드(207a) 및 다중 터널접합 장벽 패턴(212a)으로 구성된다. 상기 다중 터널접합 장벽 패턴(212a)은 번갈아가면서 반복적으로 적층된 반도체 패턴(209a) 및 터널 절연 패턴(210a)으로 구성된다.

<78> 상기 패턴들(214, 213a, 215a)을 갖는 반도체기판(200) 전면 상에 게이트 층간 유전막(217)을 형성한다. 상기 게이트 층간 유전막(217)은 실리콘산화막으로 형성할 수 있다. 상기 패턴들(214, 213a, 215a)의 측벽에 대향된 상기 게이트 층간 유전막(217) 상에 스페이서(219)을 형성한다. 상기 스페이서(219)는 도전막으로 형성할 수 있다. 예를 들면, 도핑된 폴리실리콘막으로 형성할 수 있다.

<79> 상기 스페이서(219)를 갖는 반도체기판(200) 전면 상에 제어 도전막(221)을 형성한다. 상기 제어 도전막(221)은 도핑된 폴리실리콘막으로 형성할 수 있다.

- <80> 상기 반도체 패턴들(209a) 및 제어 도전막(221)은 제1 도전형의 불순물들로 도핑된 폴리실리콘막으로 형성하고, 상기 스페이서(219)는 제2 도전형의 불순물들로 도핑된 폴리실리콘막으로 형성할 수 있다. 이에 따라, 수직 트랜지스터의 문턱전압인 수직 채널 문턱전압을 증가시킬 수 있다.
- <81> 도 8, 도 12 및 도 13을 참조하면, 상기 제어 도전막(221)을 패터닝하여 상기 다층 패턴(214), 소오스 패턴(213a) 및 하드마스크 패턴(215a)을 덮고, 상기 한 쌍의 제2 영역들(201b)을 가로지르는 예비 제어 라인(221a)을 형성한다. 이때, 상기 다층 패턴(214) 양측에 소오스/드레인 영역들(251a, 251b)이 형성된다. 상기 소오스/드레인 영역들(251a, 251b)은 상기 예비 제어 라인(221a) 하부의 상기 활성영역(202)의 표면으로 이루어진다. 상기 소오스/드레인 영역들(251a, 251b)은 상기 다층 패턴(212a) 하부의 평면 채널 영역(150)의 양측에 접촉된다. 상기 소오스/드레인 영역들(251a, 251b)은 상기 활성영역(202)의 표면에 위치하며, 종래의 불순물확산층이 요구되지 않는다. 그 결과, 종래의 소오스/드레인 영역들 간의 편치스루 특성열화를 방지할 수 있다.
- <82> 이어서, 상기 예비 제어 라인(221a)을 마스크로 사용하여 불순물 이온들을 주입하여 상기 예비 제어 라인(221a) 양측의 상기 제2 영역들(201b)에 각각 불순물확산층(223)을 형성한다. 상기 불순물확산층(223)은 비트라인 또는 비트라인바의 일부분을 구성한다.
- <83> 상기 불순물확산층(223)을 갖는 반도체기판(200) 전면 상에 제1 층간절연막(225)을 형성한다. 상기 제1 층간절연막(225)은 실리콘산화막으로 형성할 수 있다.
- <84> 상기 제1 층간절연막(225), 예비 제어 라인(221a) 및 게이트 층간 유전막(217)을 상기 하드마스크 패턴(215a)이 노출될때까지 평탄화시키어 제어 라인(221b)을 형성한다. 상기 평탄화 공정으로 인하여, 상기 평탄화된 층간절연막(225a)와 상기 하드마스크 패턴(215a) 사이의

상기 제어 라인(221b)의 일부분 및 상기 스페이서(219)의 상부가 노출된다. 상기 소오스/드레인 영역들(251a, 251b)은 상기 제어 라인(221b)에 소정의 전압(소오스/드레인 문턱전압)이 인가될 경우, 턴온 상태인 반전 상태가 되고, 상기 제어 라인(221b)에 전압이 인가되지 않을 경우, 턴오프된다.

<85> 도 14를 참조하면, 상기 노출된 제어 라인(221b) 및 상기 스페이서(219)를 선택적으로 리세스한다. 이에 따라, 상기 리세스된 제어 라인(221b) 및 스페이서(219)의 상면은 하드마스크 패턴(215a)의 상면 보다 낮은 높이를 갖는다. 이어서, 상기 평탄화된 층간절연막(225a)을 선택적으로 리세스한다. 이때, 상기 리세스된 층간절연막(225a)의 상면은 상기 리세스된 제어 라인(221b)의 상면 보다 높을 수 있다.

<86> 이어서, 제2 층간절연막(227)을 반도체기판(200) 전면 상에 형성한다. 상기 제2 층간절연막(227)은 실리콘산화막으로 형성할 수 있다.

<87> 도 15를 참조하면, 상기 제2 층간절연막(227)을 평탄화시키어 상기 하드마스크 패턴(215a)의 상면을 노출시킨다. 상기 리세스된 제1 층간절연막(225a) 및 상기 평탄화된 제2 층간절연막(227a)은 몰드층(228)을 구성한다. 상기 노출된 하드마스크 패턴(215a)을 상기 소오스 패턴(213a)이 노출될때까지 선택적으로 식각하여 제거한다. 이에 따라, 측벽이 상기 몰드층(228)이며, 바닥면이 상기 소오스 패턴(213a)의 상부면이 홈이 형성된다.

<88> 상기 홈 내부를 채우는 데이터 도전막(230)을 반도체기판(200) 전면 상에 형성한다. 상기 데이터 도전막(230)은 도핑된 폴리실리콘막, 금속막 또는 폴리사이드막으로 형성할 수 있다.

<89> 상기 데이터 도전막(230)을 패터닝하여 도 8 및 도 9에 도시된 데이터 라인(230a)을 형성한다.

<90> 상술한 제1 실시예 및 제2 실시예에 있어서, 서로 대응되는 구성요소들은 동일한 물질로 이루어질 수 있다.

【발명의 효과】

<91> 상술한 바와 같이, 본 발명에 따른 STT-MRAM 기억 소자는 다층 패턴 양측에 배치되고, 제어 라인 하부의 활성영역의 표면으로 이루어진 소오스/드레인 영역들을 포함한다. 상기 소오스/드레인 영역들은 상기 제어 라인에 소오스/드레인 문턱전압이 인가될때, 턴온 상태인 반전상태가 되고, 상기 제어 라인에 전압을 인가하지 않을 경우, 턴오프 상태가 된다. 즉, 상기 소오스/드레인 영역들은 종래의 불순물확산층을 요구하지 않는다. 그 결과, 종래의 소오스/드레인 영역들간의 펀치스루 특성열화를 방지할 수 있다.

【특허청구범위】

【청구항 1】

반도체기판의 소정영역에 각각 배치되되, 그들 사이의 제1 영역과, 상기 제1 영역의 양측과 접촉하고 서로 평행한 한 쌍의 제2 영역들로 구성된 활성영역을 한정하는 적어도 2개의 소자 분리 패턴들;

적어도 상기 제1 영역 상에 적층된 게이트 절연 패턴, 스토리지 노드 및 다중 터널접합 장벽 패턴을 포함하는 다층 패턴;

상기 다층 패턴 상부면을 지나되, 상기 제2 영역들과 평행한 데이터 라인;

적어도 상기 다층 패턴의 일부측벽들을 덮고, 상기 다층 패턴 양측의 상기 한 쌍의 제2 영역들을 가로지르는 제어 라인;

상기 다층 패턴 양측에 각각 배치되되, 상기 제어 라인 하부의 상기 활성영역의 표면으로 이루어진 소오스 영역과 드레인 영역; 및

상기 제어 라인과 상기 다층 패턴의 측벽 사이와, 상기 제어 라인과 상기 활성영역 사이에 개재된 게이트 층간 유전막을 더 포함하는 것을 특징으로 하는 축소 가능한 2개의 트랜지스터 기억 소자.

【청구항 2】

제 1 항에 있어서,

상기 제어 라인은 상기 다층 패턴 상에 위치한 상기 데이터 라인의 상부를 가로지르되, 상기 게이트 층간 유전막은 연장되어 상기 데이터 라인과 상기 제어 라인 사이에 개재되는 것을 특징으로 하는 축소 가능한 2개의 트랜지스터 기억 소자.

【청구항 3】

제 2 항에 있어서,

상기 데이터 라인 상에 배치된 하드마스크 패턴을 더 포함하되, 상기 제어 라인은 상기 하드마스크 패턴 상부를 가로지르는 것을 특징으로 하는 축소 가능한 2개의 트랜지스터 기억 소자.

【청구항 4】

제 2 항에 있어서,

상기 소자분리막은 연장되어 상기 소자분리막과 인접한 상기 다층 패턴의 측벽과 접촉하는 것을 특징으로 하는 축소 가능한 2개의 트랜지스터 기억 소자.

【청구항 5】

제 1 항에 있어서,

상기 제어 라인은 상기 다층 패턴의 측벽을 둘러싸는 것을 특징으로 하는 축소 가능한 2개의 트랜지스터 기억 소자.

【청구항 6】

제 5 항에 있어서,

상기 소자분리막과 인접한 상기 다층 패턴의 일측은 상기 소자분리막의 소정영역 상에 중첩되도록 배치되는 것을 특징으로 하는 축소 가능한 2개의 트랜지스터 기억 소자.

【청구항 7】

제 1 항에 있어서,

상기 데이터 라인과 상기 다층 터널접합 장벽 패턴 사이에 개재된 소오스 패턴을 더 포함하되, 상기 소오스 패턴은 상기 다층 패턴의 측벽에 정렬된 측벽을 갖는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자.

【청구항 8】

제 1 항에 있어서,

적어도 상기 다층 패턴의 측벽 상의 상기 게이트 층간 유전막과 상기 제어 라인 사이에 개재된 스페이서를 더 포함하되, 상기 스페이서는 도전막으로 이루어지는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자.

【청구항 9】

제 8 항에 있어서,

상기 스페이서는 제1 도전형의 불순물들로 도핑된 폴리실리콘막으로 이루어지고, 상기 제어 라인은 제2 도전형의 불순물들로 도핑된 폴리실리콘막으로 이루어지는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자.

【청구항 10】

제 1 항에 있어서,

상기 소오스/드레인 영역들을 턴온시키는 문턱전압은 상기 다층 패턴 하부의 평면 채널 영역을 턴온시키는 소거 문턱전압 및 프로그램 문턱전압에 비하여 낮은 전압인 것을 특징으로 하는 축소 가능한 2개의 트랜지스터 기억 소자.

【청구항 11】

제 1 항에 있어서,

상기 소오스/드레인 영역들을 턴온시키는 문턱전압은 상기 다층 패턴의 측벽인 수직 채널 영역을 턴온시키는 문턱전압에 비하여 낮은 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자.

【청구항 12】

제 1 항에 있어서,

상기 제어 라인 양측의 상기 제2 영역들 내에 각각 배치된 불순물확산층을 더 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자.

【청구항 13】

반도체기판에 제1 영역과 상기 제1 영역의 양측과 접속하고 서로 평행한 한 쌍의 제2 영역들로 구성된 활성영역을 한정하는 적어도 2개의 소자 분리 패턴들과, 적어도 상기 제1 영역 상에 배치된 다층 패턴을 형성하는 단계; 및

상기 다층 패턴 상을 지나는 데이터 라인, 적어도 상기 다층 패턴의 일부측벽을 덮고 상기 다층 패턴 양측의 상기 제2 영역들을 가로지르는 제어 라인 및, 상기 다층 패턴 양측에 상기 제어 라인 하부의 상기 활성영역 표면으로 이루어진 소오스/드레인 영역들을 형성하는 단계를 포함하는 축소가능한 2개의 트랜지스터 기억 소자의 형성방법.

【청구항 14】

제 13 항에 있어서,

상기 소자 분리 패턴과 다층 패턴을 형성하는 단계는,

반도체기판 상에 게이트 절연막, 스토리지 도전막 및 다층 터널접합 장벽막을 차례로 형성하는 단계;

상기 다중 터널접합 장벽막, 스토리지 도전막, 게이트 절연막 및 반도체기판을 연속적으로 패터닝하여 상기 활성영역을 한정하는 적어도 2개의 트렌치를 형성하는 단계;

상기 각 트렌치들을 채우는 소자 분리 패턴을 형성하는 단계; 및

상기 다중 터널접합 장벽막, 스토리지 도전막 및 게이트 절연막을 연속적으로 패터닝하여 상기 제1 영역 상에 적층된 게이트 절연 패턴, 스토리지 노드 및 다중 터널접합 장벽 패턴으로 구성된 다층 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억소자의 형성방법.

【청구항 15】

제 14 항에 있어서,

상기 트렌치를 형성하기 전에,

상기 다중 터널접합 장벽막 상에 소오스 도전막을 형성하는 단계를 더 포함하되, 상기 다층 패턴을 형성하는 단계는, 상기 소오스 도전막, 다중 터널접합 장벽막, 스토리지 도전막 및 게이트 절연막을 연속적으로 패터닝하여 상기 제1 영역 상에 적층된 상기 다층 패턴 및 소오스 패턴을 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자의 형성방법.

【청구항 16】

제 14 항에 있어서,

상기 다층 패턴 및 상기 데이터 라인을 형성하는 단계는,

상기 소자분리막을 갖는 반도체기판 전면 상에 데이터 도전막을 형성하는 단계; 및

상기 데이터 도전막, 다층 터널접합 장벽막, 스토리지 도전막 및 게이트 절연막을 연속적으로 패터닝하여 상기 제1 영역 상의 상기 다층 패턴과 상기 다층 패턴 상을 지나는 데이터 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자의 형성방법.

【청구항 17】

제 14 항에 있어서,

상기 제어 라인을 형성하기 전에,

상기 다층 패턴 및 데이터 라인을 갖는 반도체기판 전면 상에 게이트 층간 유전막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자의 형성방법.

【청구항 18】

제 17 항에 있어서,

상기 제어 라인을 형성하기 전에,

적어도 상기 다층 패턴의 측벽 상부에 대향된 상기 게이트 층간 유전막 상에 스페이서를 형성하는 단계를 더 포함하되, 상기 스페이서는 도전막으로 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자의 형성방법.

【청구항 19】

제 18 항에 있어서,

상기 스페이서는 제1 도전형의 불순물들로 도핑된 폴리실리콘막으로 형성하고, 상기 제어 라인 은 제2 도전형의 불순물들로 도핑된 폴리실리콘막으로 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자의 형성방법.

【청구항 20】

제 14 항에 있어서,

상기 제어 라인 및 소오스/드레인 영역들을 형성하는 단계는,

상기 다층 패턴 및 상기 데이터 라인을 갖는 반도체기판 전면 상에 제어 도전막을 형성하는 단계; 및

상기 제어 도전막을 패터닝하여 상기 제1 영역 상의 다층 패턴 및 데이터 라인을 덮는 상기 제어 라인과, 상기 소오스/드레인 영역들을 형성하는 단계를 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자의 형성방법.

【청구항 21】

제 13 항에 있어서,

상기 소자 분리 패턴과 다층 패턴을 형성하는 단계는,

반도체 기판의 소정영역에 상기 활성영역을 한정하는 적어도 2개의 소자 분리 패턴을 형성하는 단계;

반도체기판 상에 게이트 절연막, 스토리지 도전막 및 다중 터널접합 장벽막을 차례로 형성하는 단계; 및

상기 다중 터널접합 장벽막, 스토리지 도전막 및 게이트 절연막을 연속적으로 패터닝하여 상기 제1 영역 상에 상기 다층 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자의 형성방법.

【청구항 22】

제 21 항에 있어서,

상기 다중 터널접합 장벽막을 형성한 후에,

상기 다중 터널접합 장벽막 상에 소오스 도전막을 형성하는 단계를 더 포함하되, 상기 다층 패턴을 형성하는 단계는, 상기 소오스 도전막, 다중 터널접합 장벽막, 스토리지 도전막 및 게이트 절연막을 연속적으로 패터닝하여 상기 제1 영역 상에 적층된 상기 다층 패턴 및 소오스 패턴을 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자의 형성방법.

【청구항 23】

제 19 항에 있어서,

상기 제어 라인을 형성하기 전에,

상기 다층 패턴을 갖는 반도체기판 전면 상에 게이트 층간 유전막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억소자의 형성방법.

【청구항 24】

제 23 항에 있어서,

상기 제어 라인을 형성하기 전에,

적어도 상기 다층 패턴의 측벽 상부에 대향된 상기 게이트 층간 유전막 상에 스페이서를 형성하는 단계를 더 포함하되, 상기 스페이서는 도전막으로 형성하는 것을 특징으로 하는 축소 가능한 2개의 트랜지스터 기억 소자의 형성방법.

【청구항 25】

제 24 항에 있어서,

상기 스페이서는 제1 도전형의 불순물들로 도핑된 폴리실리콘막으로 형성하고, 상기 제어 라인은 제2 도전형의 불순물들로 도핑된 폴리실리콘막으로 형성하는 것을 특징으로 하는 축소 가능한 2개의 트랜지스터 기억 소자의 형성방법.

【청구항 26】

제 21 항에 있어서,

상기 제어 라인, 소오스/드레인 영역들 및 데이터 라인을 형성하는 단계는,

상기 다층 패턴 상부 및 상기 제2 영역들을 가로지르는 예비 제어 라인과, 상기 다층 패턴 양측에 위치한 상기 예비 제어 라인 하부의 상기 활성영역의 표면으로 각각 이루어지는 소오스/드레인 영역들을 형성하는 단계;

상기 예비 제어 라인을 갖는 반도체기판 전면에서 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막 및 상기 예비 제어 라인을 상기 다층 패턴의 상부면이 노출될 때까지 평탄화시켜 상기 다층 패턴의 측벽을 둘러싸는 제어 라인을 형성하는 단계;

상기 평탄화된 제1 층간절연막과 상기 다층 패턴 사이에 노출된 상기 제어 라인을 리세스하는 단계;

상기 반도체기판 전면 상에서 제2 층간절연막을 형성하는 단계;

상기 제2 층간절연막을 상기 다층 패턴의 상부면이 노출될때까지 평탄화시키는 단계;

및

상기 노출된 다층 패턴의 상부면을 지나는 데이터 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자의 형성방법.

【청구항 27】

제 13 항에 있어서,

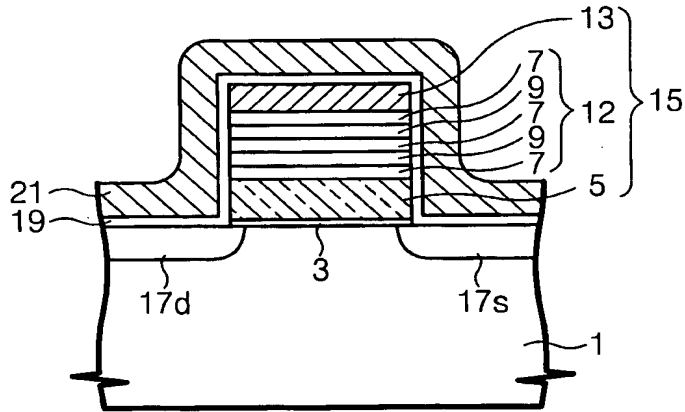
상기 제어 라인을 형성한 후에,

상기 제어 라인을 마스크로 사용하여 불순물 이온들을 주입하여 상기 제어 라인 양측의 상기 제2 영역들 내에 각각 불순물확산층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억 소자의 형성방법.

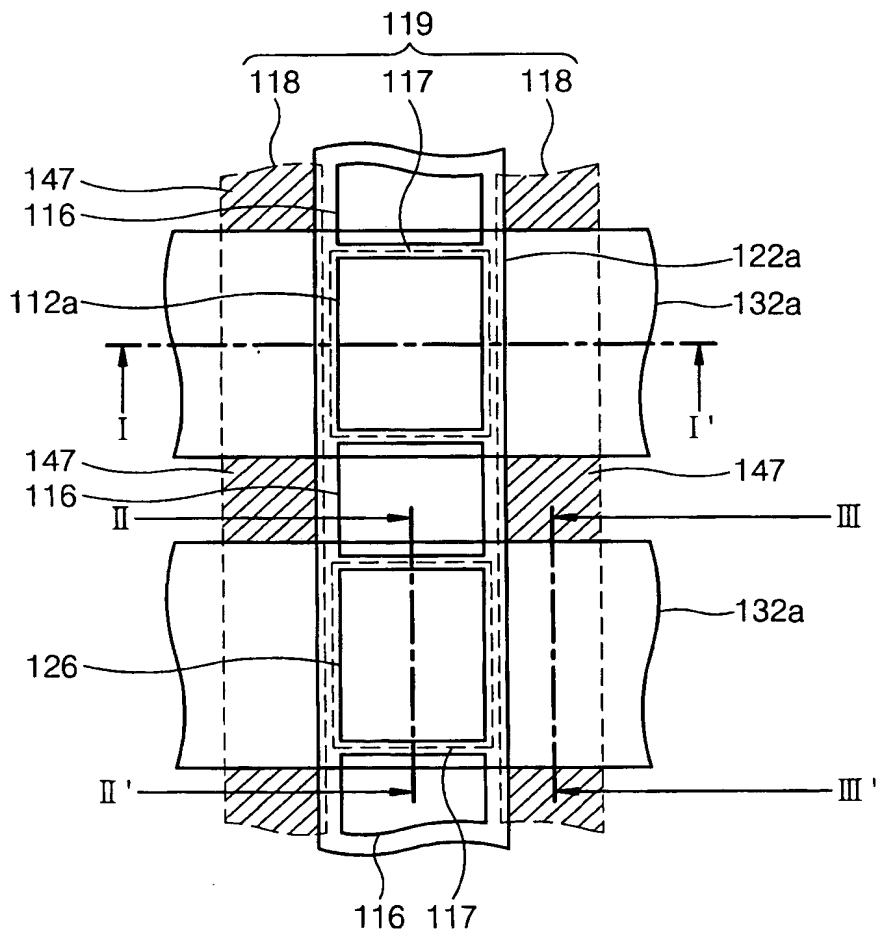
【도면】

【도 1】

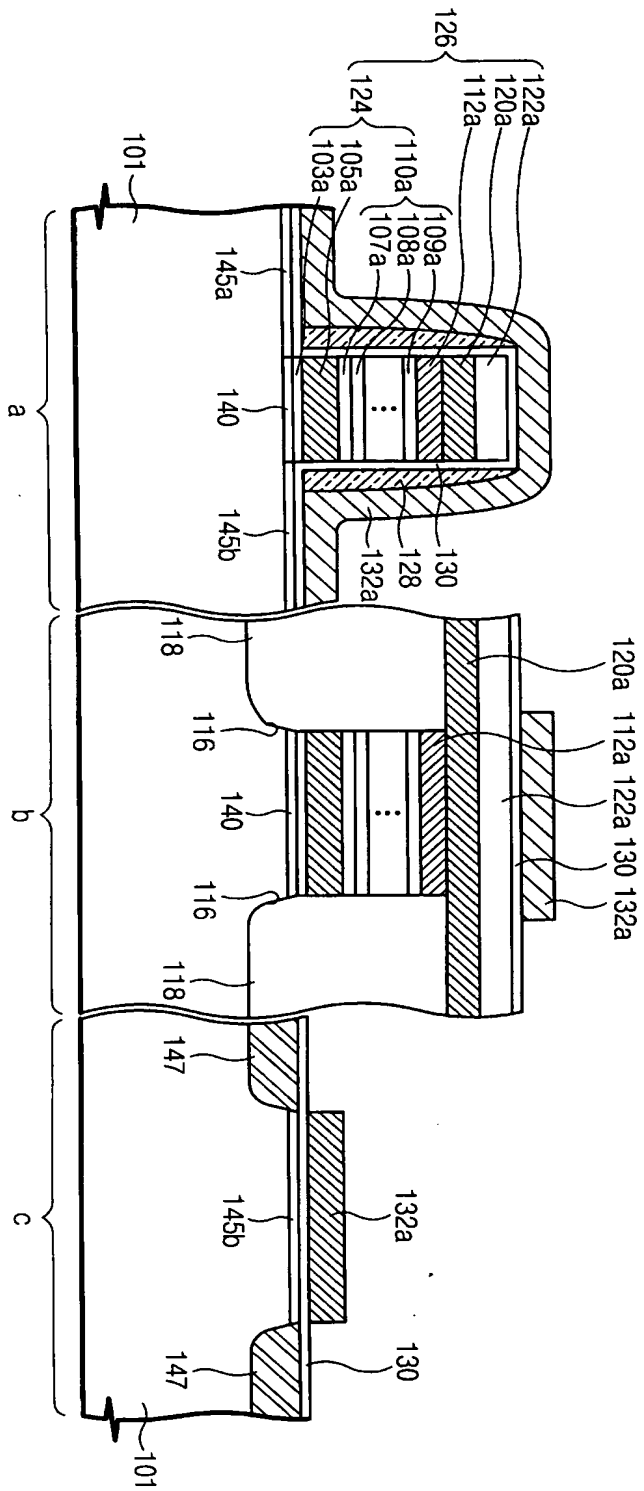
(종 래 기 술)



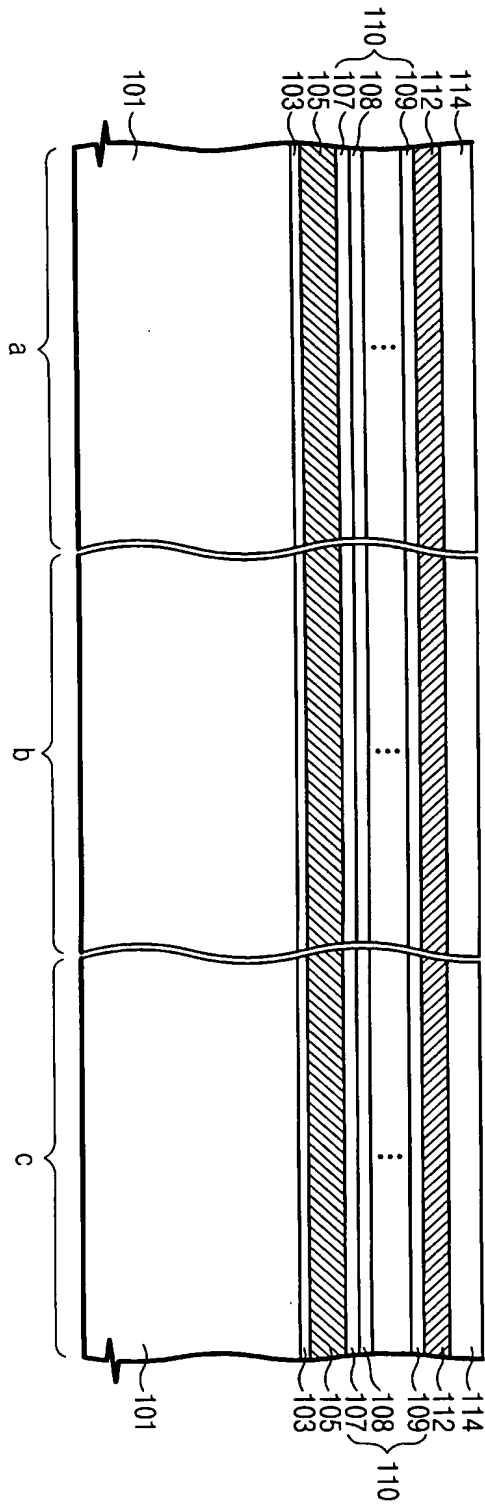
【도 2】



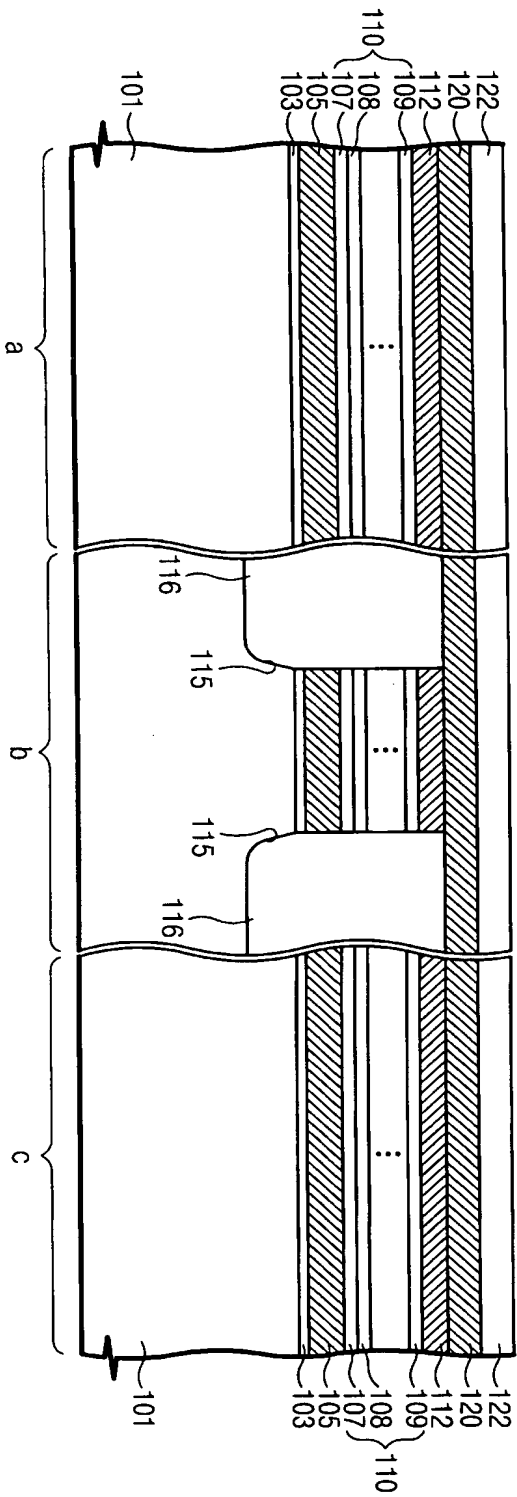
【ユ



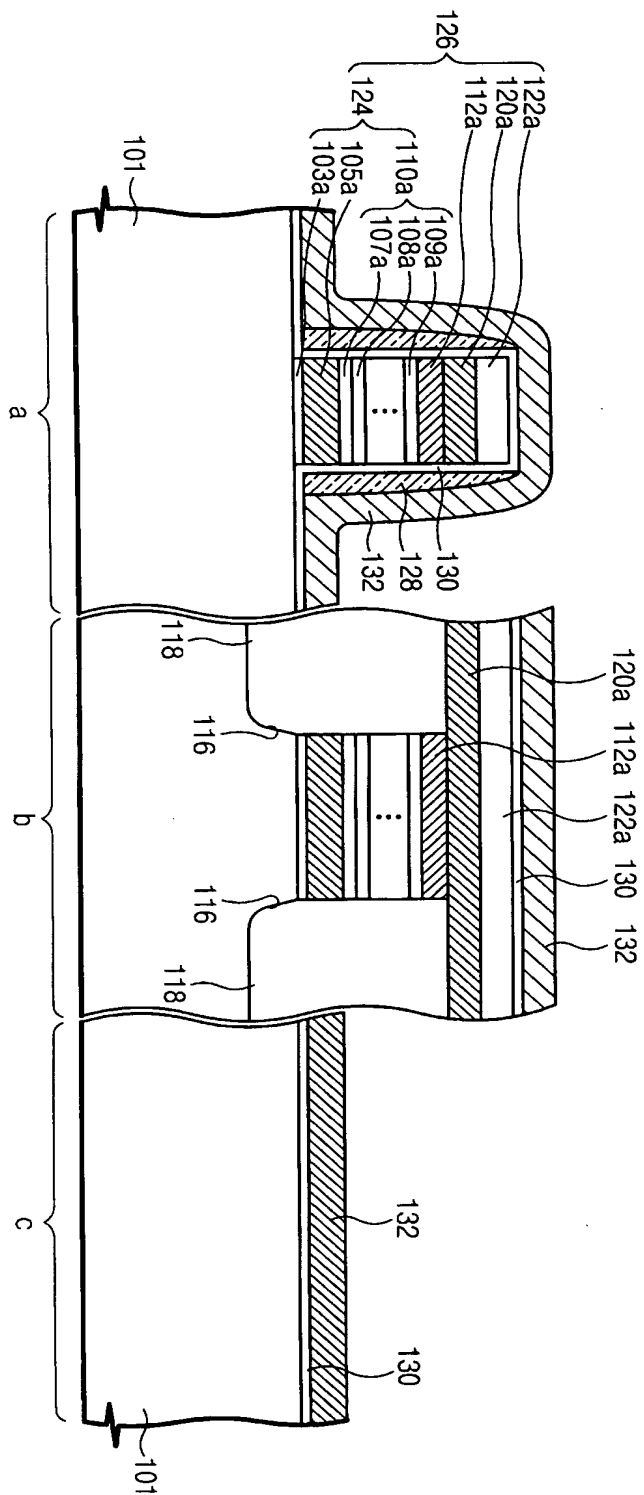
【도 4】



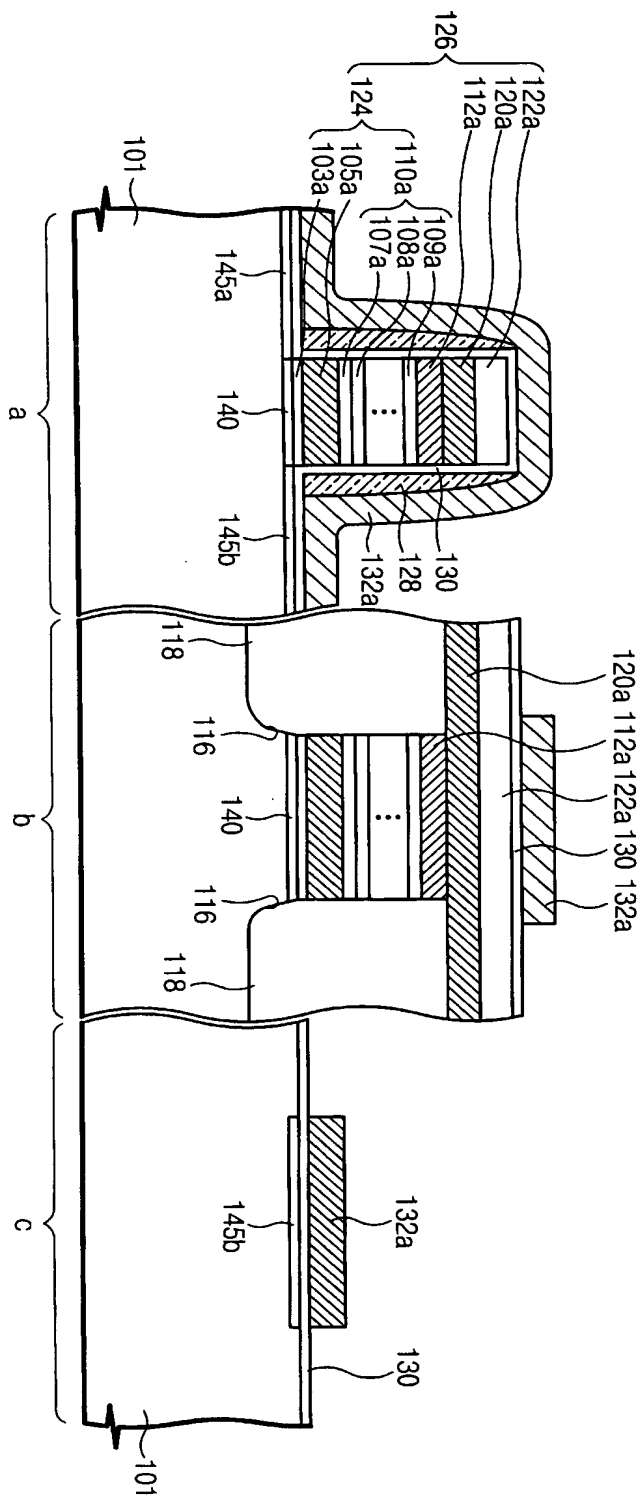
【도 5】



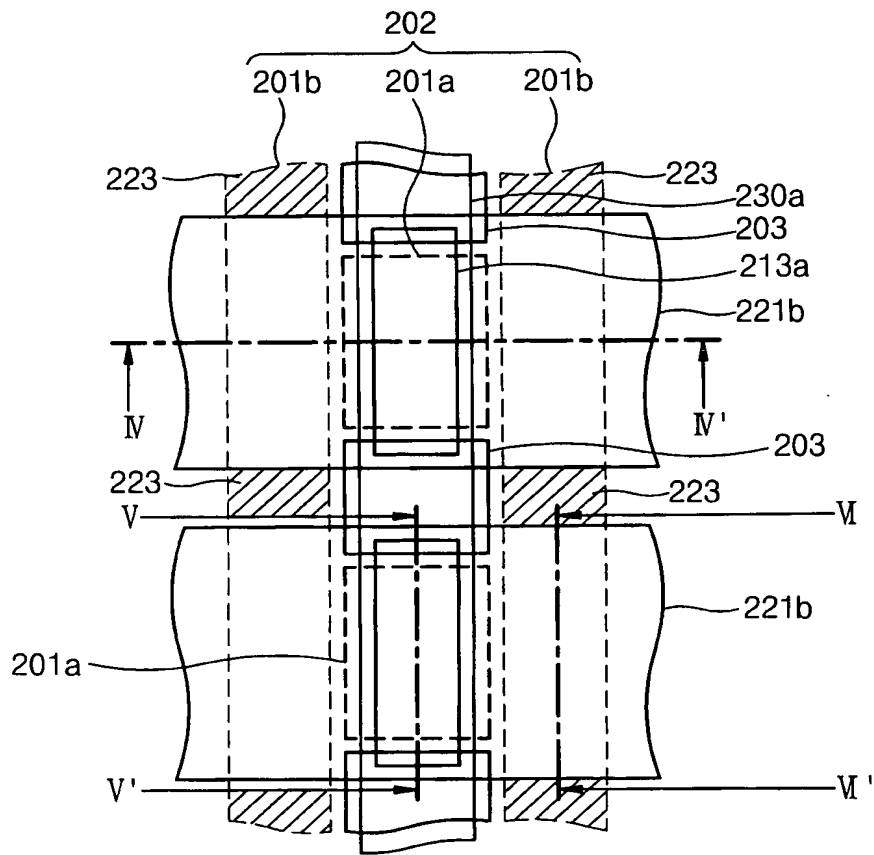
【도 6】



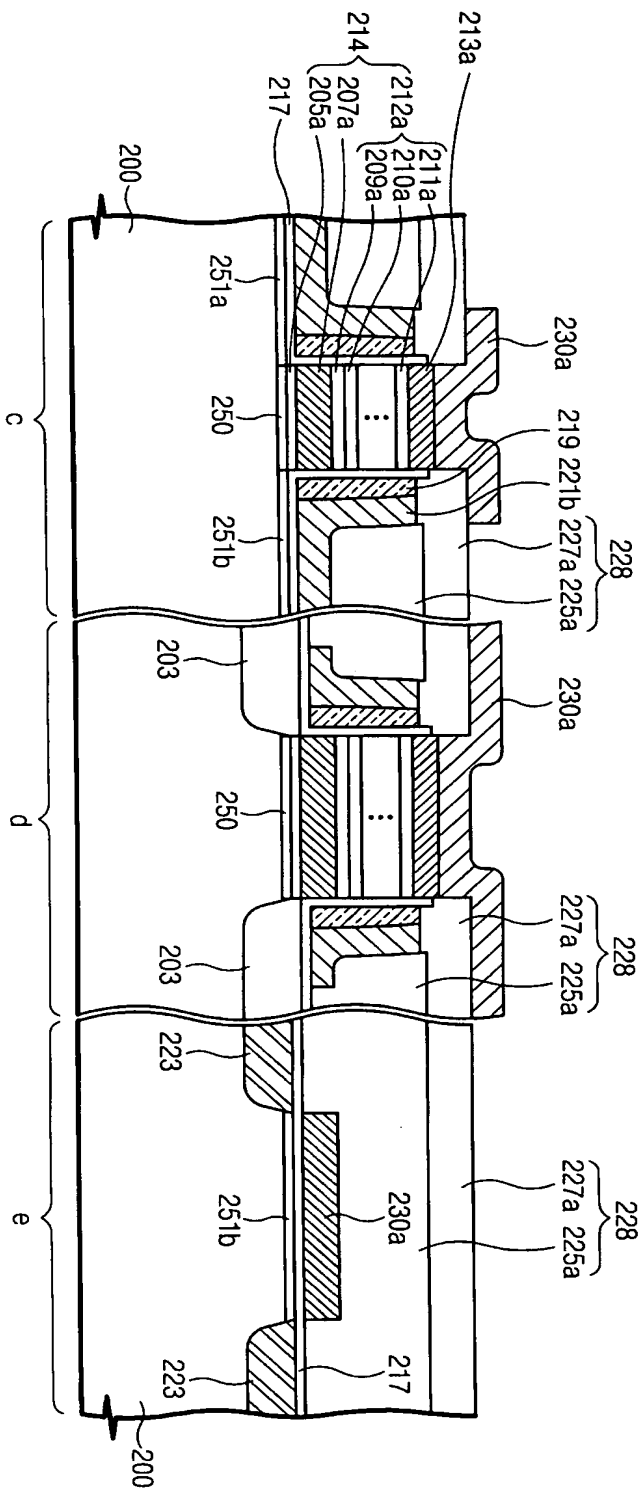
【도 7】



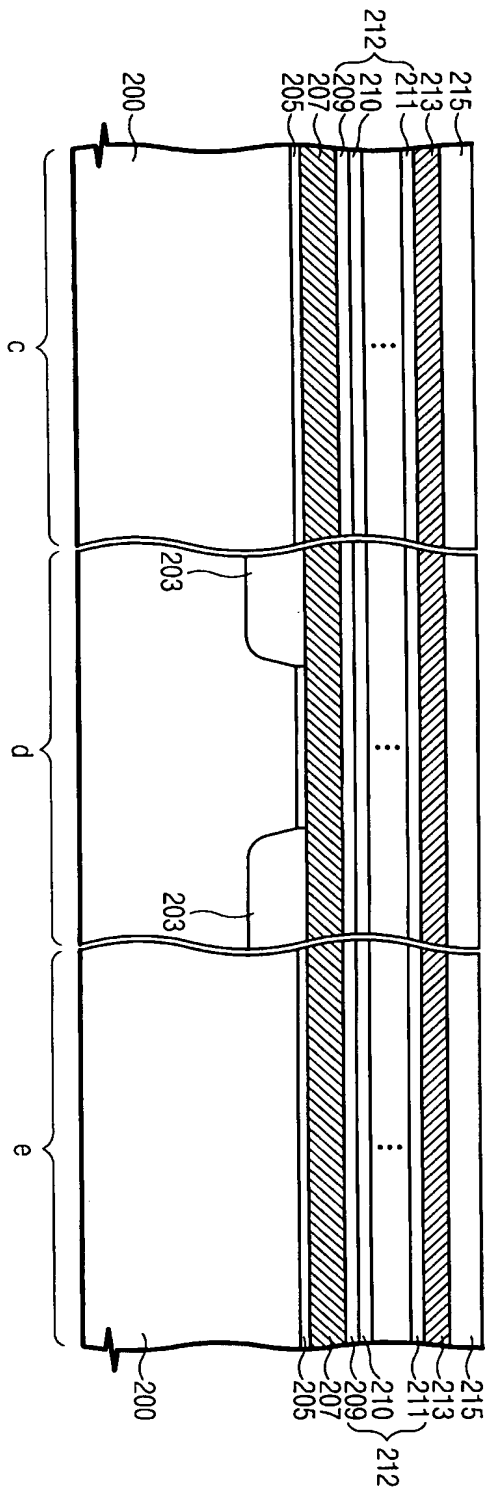
【도 8】



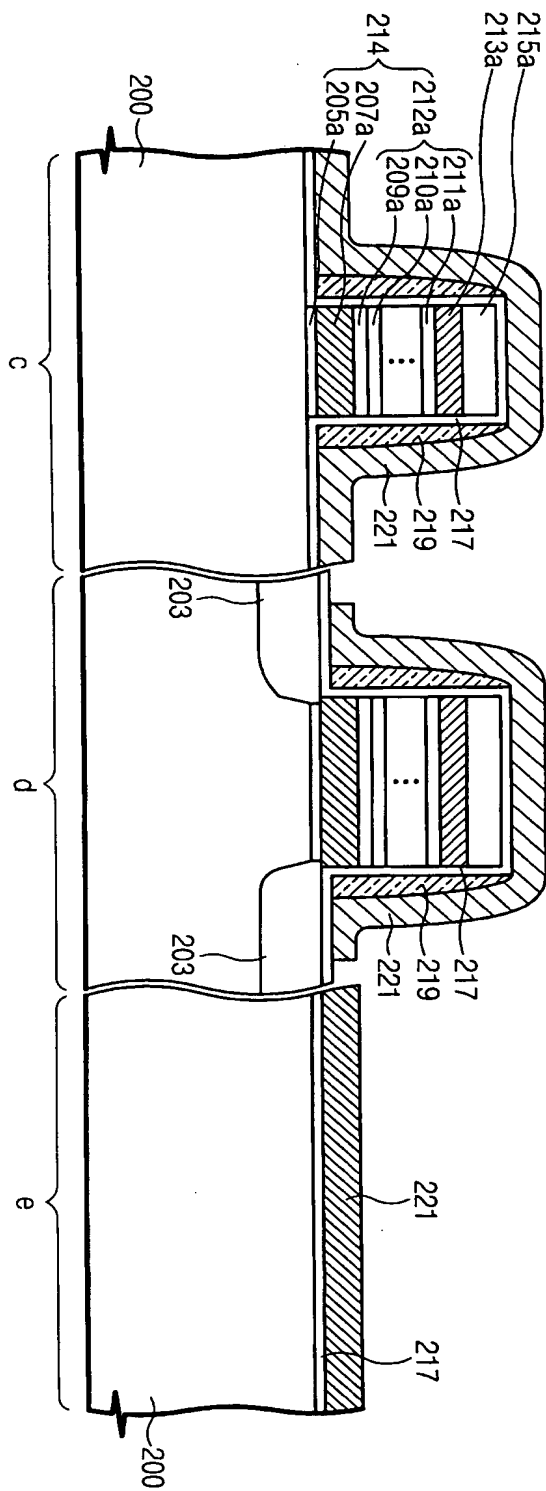
【도 9】



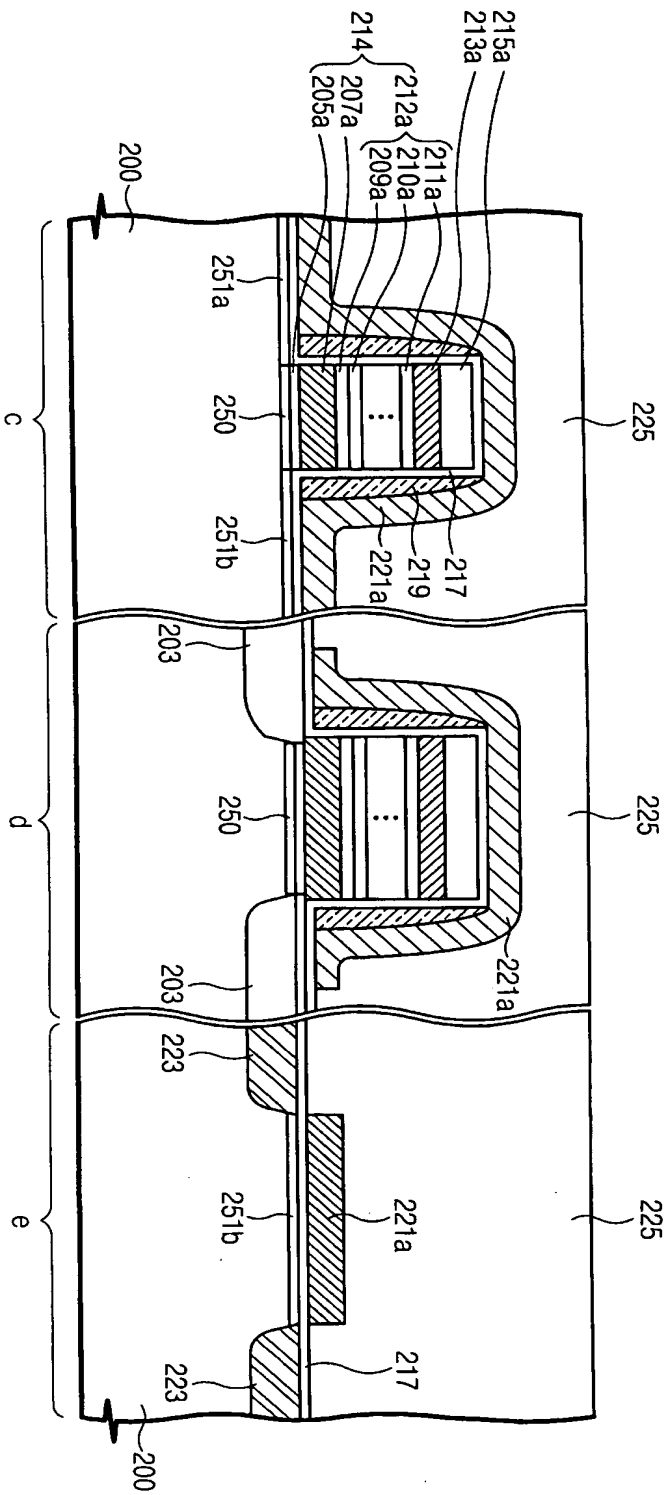
【도 10】



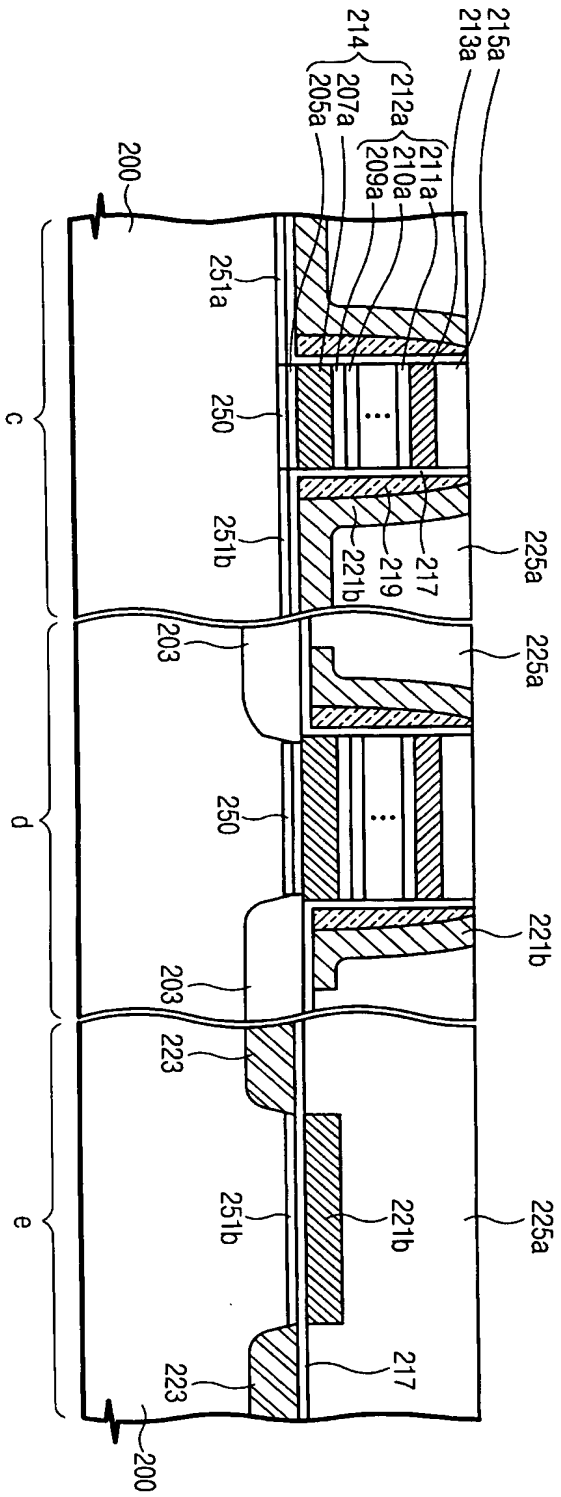
【도 11】



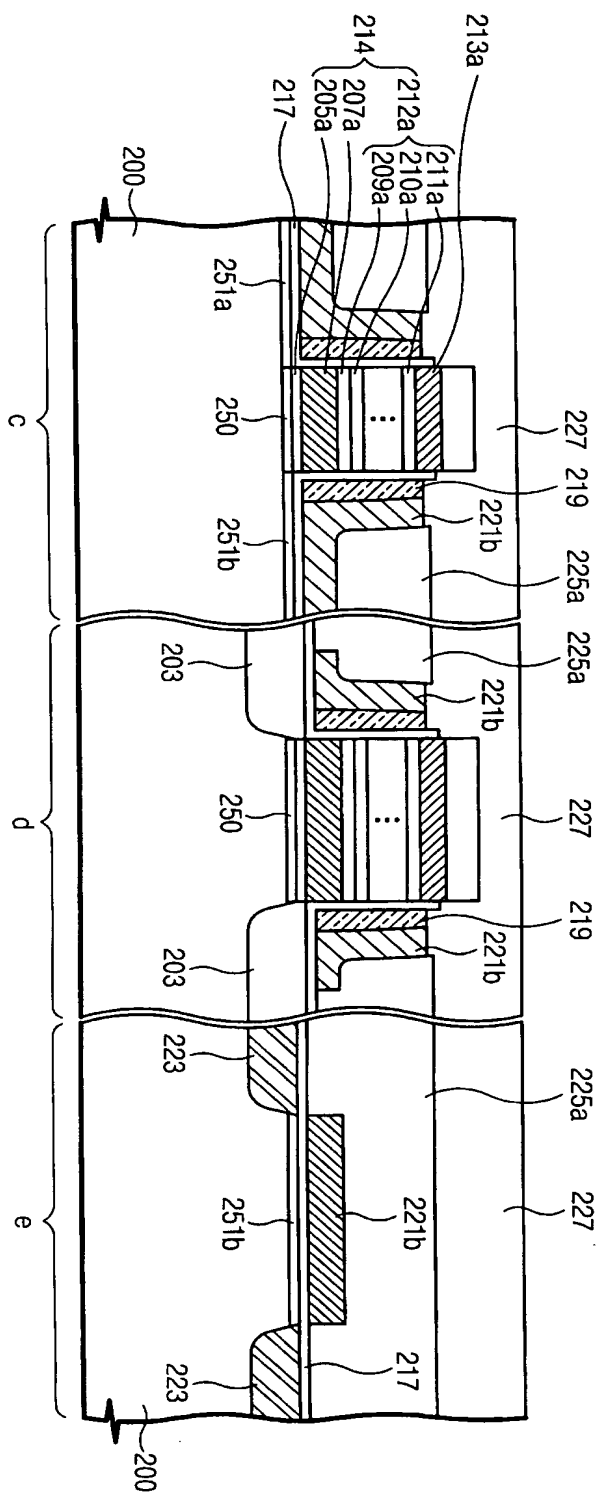
【도 12】



【도 13】



【도 14】



【도 15】

